

MỤC LỤC

Chương 1: Khái niệm chung	Trang
§1.1. Tín hiệu xung và tham số.....	5
§1.2. Các dạng điện áp đơn giản và phản ứng của mạch điện RC-RL đối với chúng.....	8
1.2.1. Khái niệm.....	8
1.2.2. Phản ứng của các mạch RC-RL với các thành phần điện áp đơn giản.....	10
a. Điện áp đột biến.....	10
b. Điện áp biến đổi tuyến tính.....	12
c. Điện áp biến đổi theo quy luật hàm số mũ.....	14
§1.3. Phản ứng của mạch RC-RL đối với tác dụng của các xung đơn	16
1.3.1. Điện áp lấy ra trên điện trở	16
1.3.2. Điện áp lấy ra trên tụ điện	19
§1.4. Phản ứng của mạch RC với chuỗi xung hình chữ nhật	22
§1.5. Mạch phân áp	24
Chương 2: Các chế độ khoá của dụng cụ bán dẫn trong thiết bị xung	27
§2.1. Khái niệm chung	27
§2.2. Chế độ khoá của Tranzito	28
2.2.1. Các yêu cầu cơ bản	28
2.2.2. Đặc tính truyền đạt	29
2.2.3. Chú ý	30
§2.3. Chế độ khoá của khuếch đại thuật toán	32
2.3.1. Mạch so sánh 1 ng- ỡng	32
2.3.2. Mạch so sánh 2 ng- ỡng	33
2.3.3. Một số mạch so sánh cơ bản	34
2.3.3.1. Mạch so sánh lấy tổng dùng KĐTT	34
2.3.3.2. Mạch so sánh song song dùng KĐTT	35
Chương 3: Các phương pháp tạo và biến đổi dạng xung ĐA.BĐĐT	37
§3.1. Mạch vi phân	37
3.1.1. Mạch vi phân dùng RC và RL	37
3.1.2. Mạch vi phân dùng KĐTT	38
§3.2. Mạch tích phân	40
3.2.1. Các mạch tích phân đơn giản	40
3.2.2. Mạch tích phân dùng KĐTT	42
§3.3. Các mạch tạo điện áp biến đổi đ- ờng thẳng (ĐA.BĐĐT)	42
3.3.1. Khái niệm	42
3.3.2. Mạch tạo ĐA.BĐĐT dùng mạch tích phân đơn giản	44
3.3.3. Mạch tạo ĐA.BĐĐT dùng phần tử ổn dòng	46

3.3.3.1. Mạch tạo ĐA.BĐĐT dùng mạng 2 cực ổn dòng	46
3.3.3.2. Mạch tạo ĐA.BĐĐT dùng tranzito có khâu ổn dòng.....	47
3.3.4. Mạch tạo ĐA.BĐĐT dùng ph-ong pháp bù điện áp.....	52
3.3.5. Mạch tạo ĐA.BĐĐT dùng vi mạch KĐTT.....	53
3.3.5.1. Mạch tạo ĐA.BĐĐT 1 cực tính dùng vi mạch KĐTT.....	53
3.3.5.2. Mạch tạo ĐA.BĐĐT 2 cực tính dùng vi mạch KĐTT.....	54
Chương 4: Các phương pháp tạo và biến đổi dạng xung vuông	56
§4.1. Các mạch không đồng bộ 2 trạng thái ổn định	56
4.1.1. Trigrơ đối xứng (Trigrơ RS) dùng tranzito.....	56
4.1.2. Trigrơ Smith dùng tranzito.....	58
4.1.3. Trigrơ Smith dùng IC tuyến tính.....	60
4.1.3.1. Với trigrơ Smith đảo.....	60
4.1.3.2. Với trigrơ Smith không đảo.....	61
§4.2. Các mạch không đồng bộ 1 trạng thái ổn định.....	62
4.2.1. Đa hài đợi dùng tranzito.....	62
4.2.2. Đa hài đợi dùng IC thuật toán.....	63
§4.3. Các mạch không đồng bộ 2 trạng thái không ổn định.....	65
4.3.1. Đa hài tự dao động dùng tranzito.....	65
4.3.2. Đa hài tự dao động dùng IC KĐTT.....	68
§4.4. Bộ dao động Blocking.....	71
§4.5. Vi mạch định thì 555.....	74
4.5.1. Khái niệm.....	74
4.5.2. Sơ đồ chân và cấu trúc bên trong của IC 555.....	75
4.5.3. Mạch đa hài tự kích dùng IC 555.....	76
4.5.4. Mạch đa hài đợi dùng IC 555.....	80
4.5.5. IC 555 giao tiếp với các loại tải.....	82
§4.6. Một số mạch sửa dạng xung cơ bản.....	82
4.6.1. Mạch sửa xung dùng mạch vi phân và KĐTT.....	82
4.6.2. Mạch sửa xung dùng tranzito kết hợp với mạch vi phân.....	84
4.6.3. Mạch sửa xung dùng mạch vi phân kết hợp với các cổng logic.....	85
4.6.4. Mạch sửa xung dùng IC 555 kết hợp với các cổng logic.....	87
4.6.5. Mạch sửa xung dùng mạch vi phân, khuếch đại xung dùng tranzito loại pnp lắp theo mạch Dalington có biến áp ra.....	88

Chương 1 : KHÁI NIỆM CHUNG

§1.1. TÍN HIỆU XUNG VÀ THAM SỐ

Ngày nay, có rất nhiều thiết bị công tác trong một chế độ đặc biệt là chế độ xung. Khác với các thiết bị điện tử làm việc trong chế độ liên tục, trong các chế độ này, dòng điện hoặc điện áp tác dụng lên mạch một cách rời rạc theo một quy luật nào đó. ở những thời điểm đóng hoặc ngắt điện áp, trong mạch sẽ phát sinh quá trình quá độ, phá huỷ chế độ công tác tĩnh của mạch. Bởi vậy việc nghiên cứu các quá trình xảy ra trong các thiết bị xung có liên quan mật thiết đến việc nghiên cứu quá trình quá độ trong các mạch đó. Các thiết bị xung đ-ợc ứng dụng rất rộng rãi trong nhiều lĩnh vực khoa học kỹ thuật hiện đại nh- : thông tin, điều khiển, ra đa, vô tuyến truyền hình, máy tính điện tử, điện tử ứng dụng...

Tuỳ theo từng nhiệm vụ mà trong các thiết bị có sử dụng nhiều loại sơ đồ xung khác nhau. Chúng khác nhau về nguyên tắc cấu tạo, về nguyên lý làm việc cũng nh- về tham số. Tổ hợp các ph-ong pháp và các thiết bị để tạo và biến đổi dạng xung, để biểu thị và chọn xung gọi là “ KỸ THUẬT XUNG ”

Tr-ớc khi đi vào nghiên cứu các quá trình xung, ta cần hiểu thế nào là tín hiệu xung và các tham số đặc trưng của nó. Theo định nghĩa: “ **Xung điện** là những điện áp hay dòng điện tồn tại trong một khoảng thời gian ngắn có thể so sánh được với quá trình quá độ trong mạch điện mà chúng tác dụng “.

Nếu có một dãy xung tác dụng lên mạch điện thì ta giả thiết thời gian giữa các xung kế tiếp nhau đủ lớn so với thời gian quá độ của mạch khi đó việc nghiên cứu tác dụng của một dãy xung giống nh- việc nghiên cứu tác dụng của một xung đơn lên mạch đó. Ng-ợc lại nếu thời gian giữa các xung kế tiếp nhau không đủ lớn thì việc nghiên cứu tác động của một dãy xung sẽ phức tạp hơn.

Thông th-ờng hay gặp là những dãy xung có chu kỳ lặp lại T_x khi đó dãy xung đ-ợc đặc tr-ng bằng các tham số nh- : Tần số lặp lại f_x , độ rộng Q_x và hệ số duty η .

+ Độ rộng của một dãy xung là tỷ số giữa chu kỳ lặp lại T_x với độ rộng của xung t_x

$$Q_x = \frac{T_x}{t_x}$$

+ Trị số nghịch đảo của Q_x là hệ số duty của xung

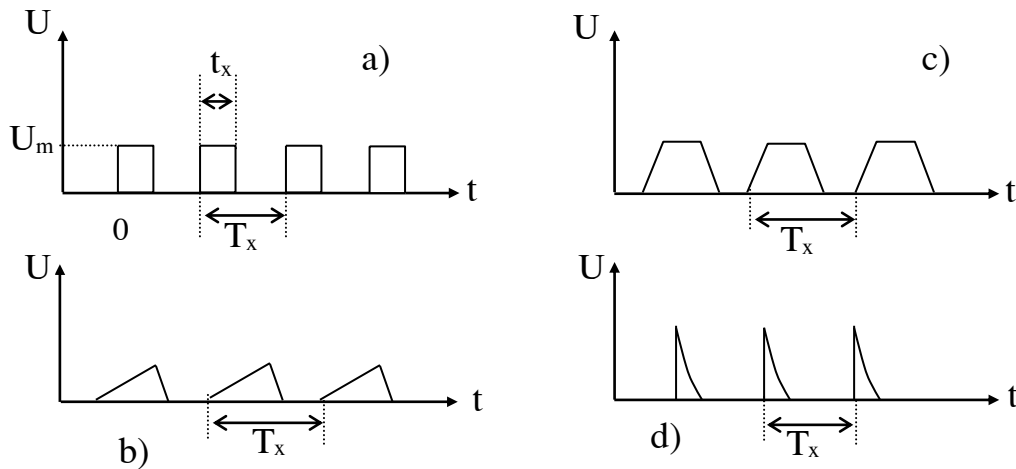
$$\eta = \frac{t_x}{T_x}$$

Thông th-ờng phạm vi biến đổi của Q_x khá lớn từ một vài cho đến hàng trăm, thậm chí hàng nghìn đơn vị .

+ Tần số lặp lại của dãy xung đ-ợc đo bằng Hz tức là số xung trong một giây và liên hệ với độ rộng theo biểu thức :

$$f_x = \frac{1}{T_x} = \frac{1}{Q_x \cdot t_x}$$

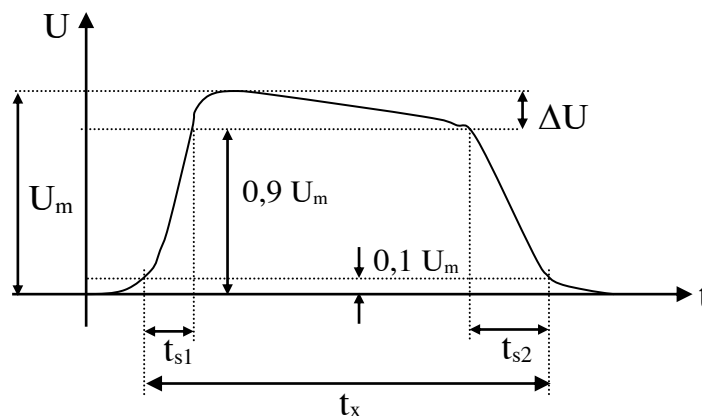
Dạng xung là qui luật biến đổi của trị số điện áp (dòng điện) xung theo thời gian, cũng là một tham số cơ bản của tín hiệu xung. Tùy theo mục đích công tác mà người ta sử dụng các dãy xung có hình dạng khác nhau nh- :



Hình 1-1: Một số dạng xung th- ờng gặp:
a-xung vuông; b- xung tam giác; c- xung hình thang ; d- xung kim

Qua các ví dụ trên ta thấy thông th- ờng thời gian tồn tại của xung t_x rất nhỏ so với chu kỳ lặp lại T_x và có những thời điểm xung biến đổi đột ngột. Tuy vậy trong thực tế còn gặp những dãy xung mà mà thời gian tồn tại t_x bằng một nửa hoặc lớn hơn một nửa chu kỳ lặp lại. Những dãy xung nh- vậy đ- ợc gọi là dãy xung rộng. Tuy nhiên khái niệm này hoàn toàn không phải là tuyệt đối, ví dụ: Trong điều khiển tự động th- ờng dùng xung có độ rộng đến hàng giây, trong thông tin liên lạc dùng xung có độ rộng vài chục μs đến vài ms. Trong vật lý lại dùng xung cỡ ns hoặc xung có độ rộng hẹp hơn.

Để đặc tr- ng cho dạng của tín hiệu xung, người ta th- ờng dùng một số các tham số cơ bản sau (hình 1-2).



Hình 1-2

- Độ rộng xung t_x : là khoảng thời gian tồn tại của xung.
- Biên độ xung U_m (I_m): là giá trị cực đại của xung.
- Độ rộng s- ờn tr- ớc t_{s1} : là khoảng thời gian tăng của biên độ xung.
- Độ rộng s- ờn sau t_{s2} : là khoảng thời gian giảm của biên độ xung.

Nh- ta đã biết, việc phân tích các mạch tạo và biến đổi dạng xung, tr- ớc hết dẫn đến việc xác định sự phụ thuộc hàm số của điện áp hoặc dòng điện trong mạch theo thời gian không phải ở trạng thái xác lập, mà là ở trạng thái quá độ. Bởi vậy, việc phân tích các mạch xung có liên quan tr- ớc hết đến việc xác định quá trình quá độ trong mạch điện.

Khác với những tín hiệu hình sin đơn thuần, các tín hiệu xung có thể bị thay đổi hình dạng một cách nghiêm trọng ngay cả khi đ- a qua các mạch điện tuyến tính. Vì vậy ng- ời ta đã dùng mạch điện tuyến tính để tạo những tín hiệu xung có dạng cần thiết. Phương pháp đó được gọi là “*Ph- ơng pháp tạo tín hiệu xung tuyến tính*”. Một ph- ơng pháp khác để tạo tín hiệu trong kỹ thuật xung là ph- ơng pháp sử dụng các đoạn không thẳng trong đặc tuyến của các dụng cụ điện tử và ion, thường gọi là “*Ph- ơng pháp tạo tín hiệu xung phi tuyến*”. Khi đó các đèn điện tử và bán dẫn đ- ợc sử dụng nh- một role điện tử có hai trạng thái “thông” (tức là dẫn điện) và “tắt” (tức là không dẫn điện).

Ch□ơng 2. CÁC CHẾ ĐỘ KHOÁ CỦA DỤNG CỤ BÁN DẪN TRONG THIẾT BỊ XUNG

§2.1. KHÁI NIỆM CHUNG

Trong các thiết bị xung, các dụng cụ điện tử và bán dẫn th- ờng công tác ở tắt cả các chế độ, song chủ yếu nhất là công tác trong chế độ đóng mở. Khi đó về thực chất, các đèn điện tử và dụng cụ bán dẫn đóng vai trò nh- một cái khoá điện tử nằm ở một trong hai trạng thái: khoá mở là đèn tắt và khoá đóng là đèn thông. Chế độ đóng mở này đ- ợc đặc tr- ng bằng sự chuyển đổi của khoá một cách nhanh chóng từ trạng thái đèn tắt sang trạng thái đèn bão hoà, và ng- ợc lại, d- ới tác dụng của tín hiệu vào đặt lên các điện cực điều khiển. Khi đèn đã nằm ở một trong hai trạng thái trên thì mọi sự thay đổi nhỏ ở đầu vào đều không làm ảnh h- ưởng gì đến điện áp hoặc dòng điện ở đầu ra.

Một cách gần đúng, khi so với các sơ đồ thực tế, ta có thể coi các khoá lý t- ờng có nội trở bằng vô cùng khi khoá mở và bằng không khi khoá đóng. Nh- vậy một khoá điện tử có thể đ- ợc đặc tr- ng bằng các giá trị nội trở của khoá ở hai trạng thái. Ngoài ra khoá còn đ- ợc đặc tr- ng bằng công suất yêu cầu đối với các tín hiệu điều khiển ở đầu vào và thời gian cần thiết để chuyển khoá từ một trạng thái này sang trạng thái khác.

Về mặt năng l- ợng mà nói, các khoá điện tử dùng tranzito yêu cầu công suất điều khiển nhỏ hơn so với đèn điện tử. Song nội trở của khoá tranzito khi khoá mở lại nhỏ hơn nhiều so với đèn điện tử. Đó là điều cần hết sức l- u ý trong những sơ đồ thực tế.

Nhìn chung, trong các thiết bị xung, các đèn điện tử và bán dẫn làm việc trong chế độ mà điện áp điều khiển trên các điện cực thay đổi trong phạm vi lớn

th-ờng đ-ợc gọi là chế độ tín hiệu lớn. Khi đó đặc tuyến vôn — ampe của đèn có độ cong rất lớn và tùy theo độ chính xác, có thể thay chúng bằng những đ-ờng cong toán học khác nhau. Song việc thay thế đặc tuyến vôn — ampe của đèn bằng những đ-ờng cong nh- vậy chỉ dùng đ-ợc trong một phạm vi rất hẹp để giải những bài toán đặc biệt, không đ-ợc áp dụng rộng rãi trong tính toán kỹ thuật.

Bởi vậy, trong thực tế th-ờng thay thế các đ-ờng cong đó bằng những đ-ờng gãy và đ-ợc gọi là ph-ơng pháp tuyến tính hoá từng đoạn. Khi đó, với những công cụ toán thông th-ờng, việc giải các bài toán cụ thể trở nên dễ dàng, thuận lợi hơn .

§2.2. CHẾ ĐỘ KHOÁ CỦA TRANZITO

Tranzito làm việc ở chế độ khoá hoạt động nh- một khoá điện tử đóng mở mạch với tốc độ nhanh (10^{-9} — 10^{-6} s) do đó có nhiều đặc điểm khác với chế độ khuếch đại đã xét ở các phần tr-ớc.

2.2.1. Các yêu cầu cơ bản

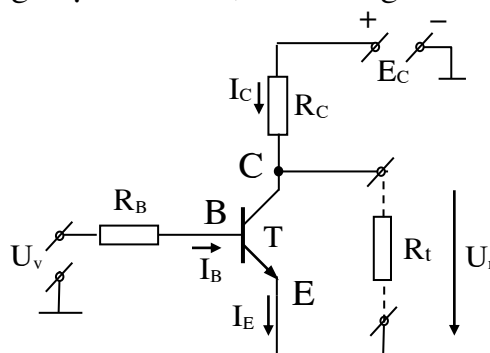
Yêu cầu cơ bản với một tranzito ở chế độ khoá là điện áp đầu ra có hai trạng thái khác biệt :

$$U_{ra} \geq U_H \text{ khi } U_{vào} \leq U_L \quad (2-1)$$

$$U_{ra} \leq U_L \text{ khi } U_{vào} \geq U_H$$

Chế độ khoá của tranzito đ-ợc xác định bởi chế độ điện áp hay dòng điện một chiều cung cấp từ ngoài qua 1 mạch phụ trợ (khoá th-ờng đóng hay th-ờng mở).Việc chuyển trạng thái của khoá th-ờng đ-ợc thực hiện nhờ một tín hiệu xung có cực tính thích hợp tác động tới đầu vào..

Để đ- a ra những đặc điểm chủ yếu của chế độ khoá, hãy xét mạch cụ thể (hình 2-1). Sơ đồ thực hiện đ-ợc điều kiện (2-1) khi lựa chọn các mức U_H, U_L cũng nh- các giá trị R_C và R_B thích hợp. Ban đầu (khi $U_v = 0$ hay $U_v \leq U_L$) tranzito ở trạng thái đóng, dòng điện ra $I_C = 0$, lúc không có tải R_t , $U_{ra} = +E_{cc}$



Hình 2 -1: Mạch khoá (đảo) dùng Tranzitor

Lúc điện trở tải nhỏ nhất $R_c = R_t$ (với R_t là điện trở vào của mạch tầng sau nối với đầu ra của sơ đồ), $U_{ra} = 1/2E_{cc}$ là mức nhỏ nhất của điện áp ra ở trạng thái H, để phân biệt chắc chắn, ta chọn $U_H < 1/2E_{cc}$ (chẳng hạn $U_H = 1,5V$ khi $E_{cc} = 5V$). Phù hợp với điều kiện (2-1), điện áp vào phải nằm dưới mức U_L (đ-ợc hiểu là điện áp vào lớn nhất để tranzito vẫn bị khoá chắc $U_L = U_{Vmax}$). Với tranzito silic ng-ời ta chọn $U_L = 0,4V$.

Khi có xung điều khiển cực tính d-ơng đ-a tới đầu vào $U_{vào} \geq U_H$ tranzito chuyển sang trạng thái mở (bảo hoà), điện áp ra khi đó phải thoả mãn điều kiện $U_{ra} \leq U_L$. Điện trở R_c chọn thích hợp để thời gian quá độ đủ nhỏ và dòng I_c không quá lớn, chẳng hạn $R_c = 5k\Omega$. Xác định R_B để khi $U_v = U_H = 1,5V$ thì $U_{ra} \leq U_L = 0,4V$. Muốn vậy $I_{cbh} = E_{cc} / R_c = 1mA$ với $\beta = 100$ khi đó dòng bazơ $I_{Bbh} = 10 \mu A$. Để tranzito bảo hoà vững, chọn $I_B = 100 \mu A$ (tức là có dự trữ 10 lần), lúc đó l- u ý $U_{BE} = 0,6V$ ta có:

$$R_B = \frac{(1,5 - 0,6)V}{100 \mu A} = 9k\Omega.$$

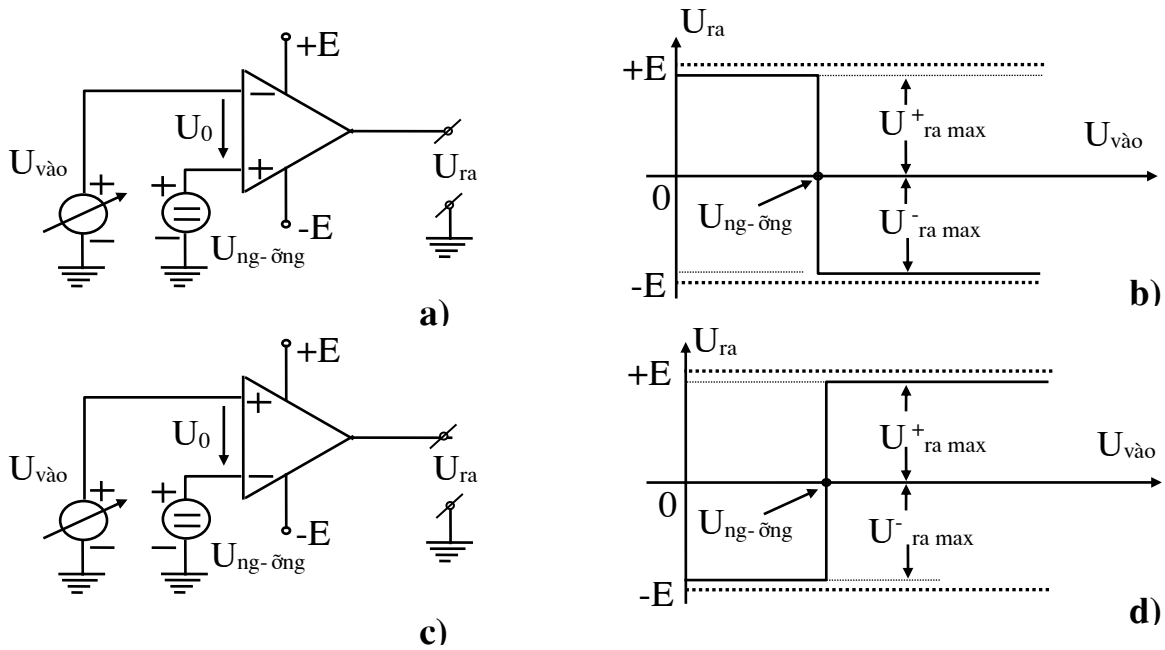
§2.3. CHẾ ĐỘ KHOÁ CỦA KHUẾCH ĐẠI THUẬT TOÁN

Khi làm việc ở chế độ xung, mạch vi điện tử tuyến tính hoạt động nh- một khoá điện tử đóng, mở nhanh, điểm làm việc luôn nằm trong vùng bảo hoà của đặc tuyến truyền đạt $U_{ra} = f(U_{vào})$. Khi đó điện áp ra chỉ nằm ở một trong hai mức bảo hoà U_{ramax}^+ và U_{ramax}^- ứng với các biên độ U_v đủ lớn. Để minh hoạ nguyên lý hoạt động của một IC khoá ta xét một ví dụ điển hình là mạch so sánh (comparator).

2.3.1. Mạch so sánh một ng- ỡng

Mạch so sánh (hình 2-6) thực hiện quá trình so sánh biên độ của điện áp đ-a vào ($U_{vào}$) với một điện áp chuẩn ($U_{ng- ỡng}$) có cực tính có thể là d-ơng hay âm. Thông th- ờng giá trị $U_{ng- ỡng}$ đ- ợc định tr- ớc cố định và mang ý nghĩa là một thông tin chuẩn (t- ờng tự nh- quả cân trong phép cân trọng l- ợng kiểu so sánh), còn giá trị $U_{vào}$ là một l- ợng biến đổi theo thời gian cần đ- ợc giám sát theo dõi, đánh giá, mang thông tin của quá trình động (th- ờng biến đổi chậm theo thời gian) cần đ- ợc điều khiển trong một dải hay ở một trạng thái mong muốn.

Khi hai mức điện áp này bằng nhau ($U_{vào} = U_{ng- ỡng}$) tại đầu ra bộ so sánh sẽ có sự thay đổi cực tính của điện áp từ U_{ramax}^+ tới U_{ramax}^- hoặc ng- ợc lại. Trong tr- ờng hợp riêng, nếu chọn $U_{ng- ỡng} = 0$ thì thực chất mạch so sánh đánh dấu lúc đổi cực tính của $U_{vào}$.



Hình 2-6

Trong mạch hình (2-6a), $U_{vào}$ và $U_{ng-õng}$ đ-ợc đ- a tới hai đầu vào đảo và không đảo t-ơng ứng của IC. Hiệu của chúng $U_0 = U_v - U_{ng-õng}$ là điện áp giữa hai đầu vào của IC sẽ xác định hàm truyền của nó:

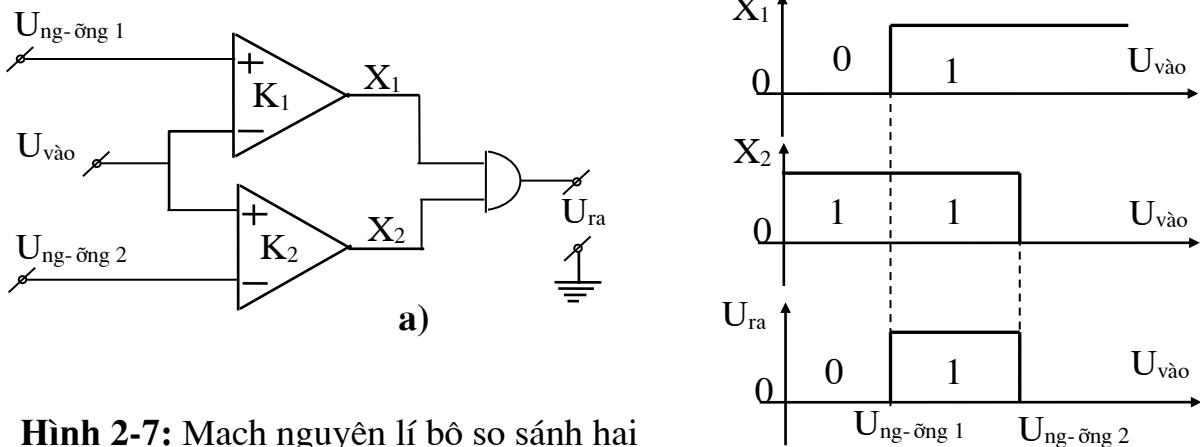
$$\text{Khi } U_v < U_{ng-õng} \text{ thì } U_0 < 0 \text{ do đó } U_{ra} = U_{ra}^+ \text{ max} . \quad (2-3)$$

$$\text{Khi } U_v \geq U_{ng-õng} \text{ thì } U_0 > 0 \text{ do đó } U_{ra} = U_{ra}^- \text{ max}.$$

Tức là điện áp ra đổi cực tính khi $U_{vào}$ chuyển qua giá trị ng-õng $U_{ng-õng}$. Nếu $U_{vào}$ và $U_{ng-õng}$ trong hình (2-6a) đổi vị trí cho nhau hay cùng đổi cực tính (khi vị trí giữ nguyên) thì đặc tính hình (2-6b) đảo ng-ợc lại nghĩa là (hình 2-6c và d).

* Chú ý: trong những tr-ờng hợp biên độ của $U_{vào}$ và $U_{ng-õng}$ lớn hơn giá trị điện áp đầu vào tối đa cho phép của IC, cần mắc chúng qua bộ phân áp điện trở hoặc mắc 2 điốt mắc song song ng-ợc tr-ớc khi đ- a tới các đầu vào của IC.

2.3.2. Mạch so sánh hai ng-õng



Hình 2-7: Mạch nguyên lí bộ so sánh hai ng-õng (a) và đặc tuyến truyền đạt (b). Để xác định xem điện áp vào có nằm trong một giới hạn giá trị cho tr-ớc

hay không, ng-ời ta sử dụng mạch so sánh 2 ng-ỡng hình 2-7a. Thực chất mạch này là sự kết hợp các mạch hình 2-6a và 2-6c trong cùng một sơ đồ. Để phối hợp các đầu ra của K_1 và K_2 , ở đây dùng 1 cửa logic phụ G (gọi là cửa “Và”). Tại lối ra của G, $U_{ra} = Y = 1$ (t-ơng ứng với mức điện áp cao) chỉ khi tại các lối ra của K_1 và K_2 có $X_1 = X_2 = 1$. Các tr-ờng hợp còn lại với mọi giá trị X_1 và X_2 (tức là khi $X_1.X_2 = 0$), $U_{ra} = Y = 0$ (t-ơng ứng với mức điện áp thấp).

Kết hợp các tính chất của mạch hình 2-6a và c với tính chất của cửa G ta nhận đ-ợc đặc tính truyền đạt X_1, X_2 và $Y = U_{ra}$ phụ thuộc $U_{vào}$ thể hiện trên hình 2-7b.

Từ hình 2-7b thấy rõ: $U_{ra} = 1$ khi $U_{ng-ỡng1} < U_{vào} < U_{ng-ỡng2}$

$$U_{ra} = 0 \text{ khi } U_{vào} < U_{ng-ỡng1} \text{ hoặc } U_{vào} > U_{ng-ỡng2} \quad (2-4)$$

(L-ưu ý ở đây cần chọn $U_{ng-ỡng2} > U_{ng-ỡng1}$)

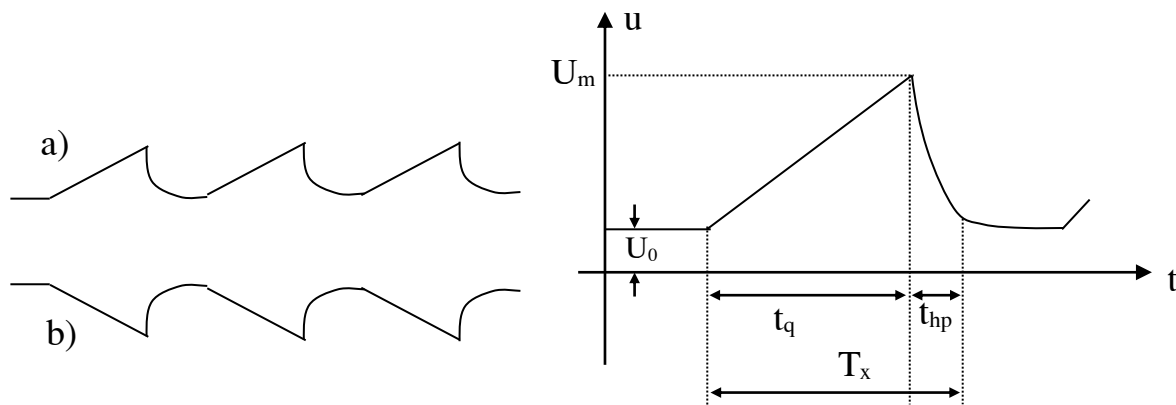
Bộ so sánh hai ng-ỡng đ-ợc ứng dụng đặc biệt thuận lợi khi cần theo dõi và khống chế tự động một thông số nào đó của một quá trình trong một giới hạn cho phép đã đ-ợc định sẵn (thể hiện ở hai giá trị điện áp ng-ỡng) hoặc ng-ợc lại không cho phép thông số này rơi vào một vùng giới hạn cấm đã chỉ ra nhờ 2 ng-ỡng điện áp t-ơng ứng.

Ch-ương 3. CÁC PH-ƯƠNG PHÁP TẠO VÀ BIẾN ĐỔI DẠNG XUNG ĐIỆN ÁP BIẾN ĐỔI Đ-ỜNG THẲNG.

§3.3. CÁC MẠCH TẠO ĐIỆN ÁP BIẾN ĐỔI Đ-ỜNG THẲNG

3.3.1. Khái niệm

Các điện áp biến đổi đ-ờng thẳng còn đ-ợc gọi là điện áp hình răng c-a hay điện áp quét vì căn cứ vào hình dạng và ứng dụng cơ bản của nó để quét tia điện tử trong các ống tia điện tử của các máy hiện sóng. Các mạch tạo điện áp biến đổi đ-ờng thẳng (ĐA.BĐĐT) là một tr-ờng hợp ứng dụng phổ biến của các mạch tích phân và tích phân thuật toán.



Hình 3-7 và 3-8 là các dạng điện áp biến đổi đ-ờng thẳng. Theo hình vẽ ta

thấy các điện áp biến đổi đ-ờng thẳng là những xung có chứa một phần điện áp biến đổi theo qui luật đ-ờng thẳng theo thời gian. Các đoạn đó có thể là tăng hoặc giảm theo qui luật đ-ờng thẳng nếu nh- đạo hàm của chúng là d-ong hoặc âm (hình 3-7 a, b).

Thông th-ờng một xung ĐA.BĐĐT có dạng nh- (hình 3-8). Nó đ-ợc đặc tr- ng bằng các tham số sau:

- + U_m : biên độ xung quét.
- + t_q : thời gian quét thuận.
- + t_{hp} : thời gian hồi phục (quét ng- ợc).

+Ngoài ra còn đ-ợc đặc tr- ng bởi mức ban đầu U_0 . Yêu cầu đối với một mạch tạo ĐA.BĐĐT là phải sao cho trong thời gian quét thuận điện áp biến đổi theo quy luật càng đ-ờng thẳng càng tốt và trong thời gian quét ng- ợc càng nhỏ càng tốt .

Các mạch tạo ĐA.BĐĐT hiện nay chủ yếu dựa trên quá trình phóng nạp của tụ điện. Nh- ta đã biết sự thay đổi điện áp trên hai bản cực của tụ đ-ợc tính theo công thức:

$$u_c(t) = \frac{1}{C} \int_0^t i_c dt \quad (3-22)$$

Với i_c là dòng điện đi qua tụ. Qua biểu thức trên ta thấy nếu i_c không đổi thì:

$$u_c(t) = \frac{I_C}{C} t = k.t ; \quad k = \text{const} \quad (3-23)$$

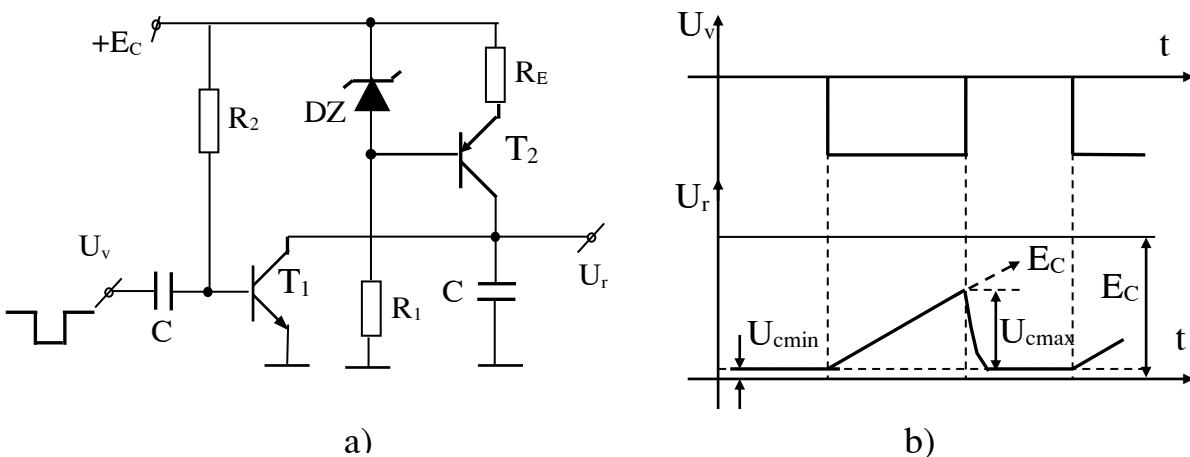
Ph- ơng trình (3-23) là ph- ơng trình của một đ-ờng thẳng. Do đó khi $i_c = I_C = \text{const}$ thì điện áp trên tụ sẽ biến thiên theo quy luật đ-ờng thẳng.

Để tạo đ-ợc một dãy các xung điện áp quét cân thực hiện việc đảo mạch nạp và phóng của tụ điện tại thời điểm $t = 0$ và $t = t_q$.

Nh- vậy một mạch tạo ĐA.BĐĐT phải bao gồm hai phần tử cơ bản nhất là nguồn dòng điện không đổi và thiết bị đảo mạch. Các thiết bị đảo mạch cần phải có nội trở nhỏ và ổn định trong khi ngắn mạch và nội trở lớn khi hở mạch.

Sau đây ta sẽ xét 2 mạch tạo ĐA.BĐĐT điển hình sau:

3.3.3.2. Mạch tạo ĐA.BĐĐT dùng tranzitor có khâu ổn dòng.



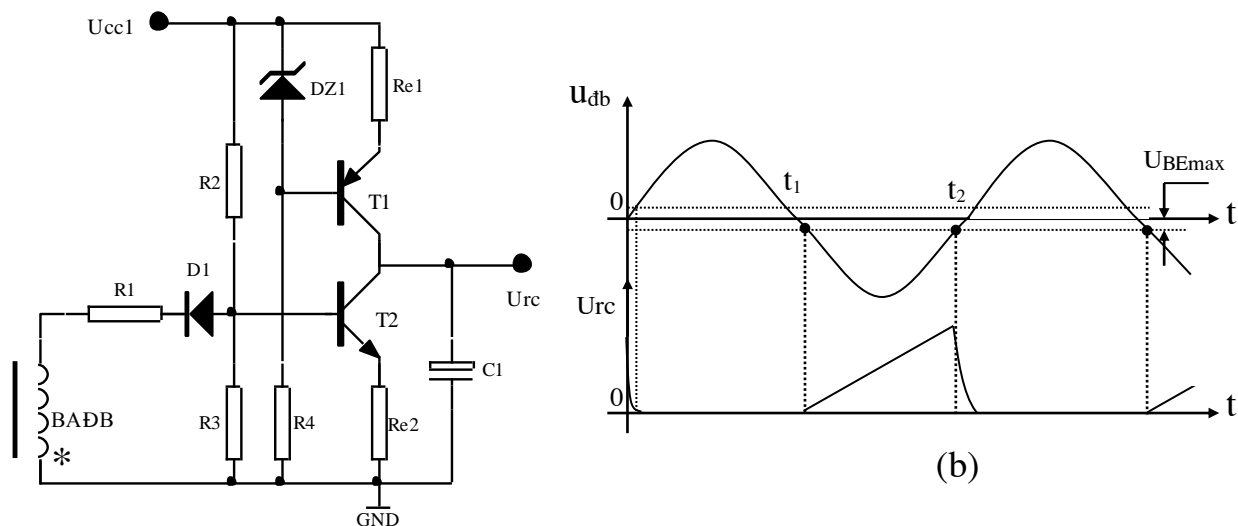
Hình 3-12

Với sơ đồ hình 3-12a, Tranzitor T_2 mắc theo kiểu bazơ chung có tác dụng nh- một nguồn ổn dòng (có bù nhiệt nhờ dòng ng- ọc qua điốt ổn áp DZ), cung cấp dòng ổn định I_{E2} nạp cho tụ trong thời gian có xung vuông cực tính âm điều khiển làm khoá T_1 , với điều kiện gần đúng dòng cực colector T_2 không đổi thì:

$$U_c(t) = \frac{1}{C} \int_0^{t_q} I_{E2} dt = \frac{I_{E2}}{C} t \quad \text{là quan hệ bậc nhất} \quad (3-27)$$

* Một dạng khác của mạch tạo ĐABĐĐT dùng tranzitor có khâu ổn dòng mà hiện nay ng- ời ta hay sử dụng, nhất là trong lĩnh vực tự động hoá đó là sử dụng trực tiếp điện áp xoay chiều làm tín hiệu điều khiển. Mạch này có - u điểm là tạo ra đ- ọc sự đồng bộ hoá trong quá trình điều khiển.

Sơ đồ nguyên lý mạch và giản đồ điện áp của mạch phát sóng răng c- a nh- hình 3-13.



Hình 3-13: Sơ đồ nguyên lý (a), giản đồ thời gian (b).

Trên sơ đồ nguyên lý mạch phát sóng răng c- a gồm có:

- + BAĐB: Là biến áp đồng bộ để tạo tín hiệu đồng bộ hoá.
- + Các phần tử còn lại là mạch tạo điện áp răng c- a, trong đó T_1 , DZ1, R_{e1} , R_4 tạo thành mạch ổn định dòng điện nạp cho tụ C_1 .
- + u_{db} : là điện áp đồng bộ lấy trên cuộn thứ cấp BAĐB.

* **Nguyên lý hoạt động:**

Tr- ớc tiên ta tìm hiểu về nguyên lý làm việc của mạch ổn dòng, ổn định dòng điện nạp cho tụ C_1 . Quan sát trên sơ đồ ta thấy:

$$U_{Re1} + U_{ebT1} - U_{Dz} = 0.$$

$$\Rightarrow U_{Re1} + U_{EBT1} = U_{Dz} = \text{const} \quad (U_{Dz} : \text{điện áp ổn định trên điốt ổn áp Dz}).$$

$$\Leftrightarrow I_{eT1} \cdot R_{e1} + U_{EBT1} = U_{Dz} = \text{const}.$$

Mặt khác $I_{eT1} = I_{bT1} + I_{cT1} \approx I_{cT1}$ (vì dòng I_{bT1} rất nhỏ so với dòng I_{cT1}).

Ta giả thiết vì một lý do nào đó làm cho dòng I_{cT1} tăng quá giá trị ổn định, điều này sẽ làm cho dòng I_{eT1} cũng tăng theo và làm $I_{eT1} \cdot R_{e1}$ tăng. Do tổng điện áp ($I_{eT1} \cdot R_{e1} + U_{EBT1}$) luôn luôn bằng hằng số nên khi $I_{eT1} \cdot R_{e1}$ tăng thì U_{EBT1} phải giảm. Điện áp điều khiển của T_1 giảm sẽ làm cho T_1 dẫn kém đi và vì thế mà I_{cT1} giảm dần về giá trị ổn định. Chẳng hạn vì một lý do khác làm cho dòng I_{cT1} giảm nhỏ hơn giá trị ổn định thì dẫn đến I_{eT1} cũng giảm theo và $I_{eT1} \cdot R_{e1}$ giảm. Sự giảm của $I_{eT1} \cdot R_{e1}$ làm U_{EBT1} tăng, điện áp điều khiển của T_1 tăng làm T_1 dẫn mạnh lên, I_{cT1} tăng lên giá trị ổn định. Nếu ta giả thiết nguyên nhân gây ra các quá trình trên là do tải thì I_{cT1} luôn luôn đ-ợc mạch giữ ổn định mặc dù có sự thay đổi của tải.

Khi điện áp đồng bộ ở nửa chu kỳ âm có cực tính d-ơng ở không (*), âm ở (*) phân cực ng-ợc cho điốt D_1 , D_1 khoá. D-ới tác dụng của nguồn cung cấp U_{CC1} qua điện trở định thiên R_2 trong mạch định thiên theo kiểu phân áp gồm R_2 và R_3 , Tranzistor T_1 mở. Ng-ời ta tính chọn R_2 và R_3 sao cho T_1 mở bão hòa. Giả sử tr-ớc đó tụ C_1 đã có điện thì tụ sẽ phóng điện theo đ-ờng: $+C_1 \rightarrow T_1 \rightarrow R_{e2} \rightarrow -C_1$. Điện áp trên tụ sẽ giảm về đến giá trị U_{CEbh} của Tranzistor T_2 , nh-ng giá trị này rất nhỏ nên ta coi nh- tụ C_1 phóng hết điện.

Khi điện áp đồng bộ chuyển sang nửa chu kỳ d-ơng có cực tính d-ơng ở (*), âm ở không (*), điốt D_1 đ-ợc phân cực thuận nên thông. Trên điện trở R_4 xuất hiện một điện áp có cực tính d-ơng đặt tới chân E và cực tính âm đặt tới chân B của T_1 . Điện áp này gây ra bởi điện áp đồng bộ u_{db} khi ở nửa chu kỳ d-ơng. Khi điện áp này có giá trị đủ lớn thì T_1 khoá do tiếp giáp J_e của nó bị phân cực ng-ợc. Tranzistor T_1 khoá thì tụ C_1 đ-ợc nạp điện từ nguồn ổn dòng, dòng nạp cho tụ C_1 chính là dòng $I_{cT1} = \text{const}$. Điện áp trên tụ C_1 tăng dần và đ-ợc tính theo biểu thức:

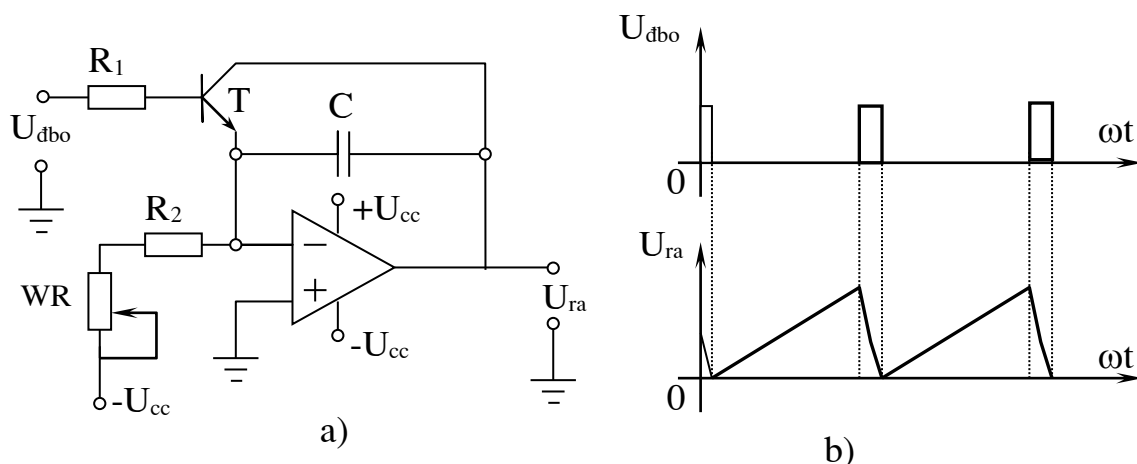
$$U_{C1} = \frac{1}{C_1} \int_0^t I_{C1} \cdot dt = \frac{1}{C_1} I_{C1} \cdot t = \frac{1}{C_1} I_{cT1} \cdot t.$$

Ta thấy điện áp trên tụ C_1 có dạng là một hàm bậc nhất, do đó điện áp trên tụ C_1 khi tụ nạp điện là một hàm tuyến tính theo thời gian.

Tại các điểm lân cận điểm "0", điện áp đồng bộ ch-a đủ lớn để phân cực ng-ợc cho tiếp giáp J_e của T_1 nên T_1 vẫn mở bởi cặp điện trở định thiên R_2 và R_3 .

Điện áp ra của mạch ĐBH-FSRC U_{rc} đ-ợc lấy trên tụ C_1 nên nó cũng có các quy luật biến thiên theo điện áp U_{C1} . Đây là một dãy điện áp răng c-a có tần số bằng tần số điện áp u_{db} . S-ờn tr-ớc của điện áp răng c-a đ-ợc tạo bởi quá trình nạp điện của C_1 từ nguồn dòng ổn định do đó nó có dạng là đ-ờng thẳng tuyến tính theo thời gian. Quá trình phóng điện của tụ qua T_2 tạo nên phần s-ờn sau của điện áp răng c-a.

3.3.5.1. Mạch tạo ĐABĐĐT một cực tính dùng vi mạch KĐTТ.



Hình 3-15: Sơ đồ nguyên lý (a), giản đồ thời gian (b).

Sơ đồ này làm việc ở chế độ đợi, nhận dãy xung vào là U_{dbo}, cho ra dãy xung răng c- a cùng tần số. Xung răng c- a có s- ờn tr- ớc biến đổi tuyến tính, có thể điều chỉnh đ- ợc trị số của biên độ.

Khi U_{dbo} = 0 → T khoá → điện áp -U_{cc} qua WR₁, R₂ đ- a đến đầu vào đảo → Đầu ra của KĐTТ có điện áp d- ơng → tụ C đ- ợc nạp điện, dòng nạp cho tụ C trong mạch: +U_{cc} → IC → C → R → WR → -U_{cc}. Dòng điện này có trị số không đổi.

$$i_{Cnạp} = \frac{+U_{cc}}{R_2 + WR}$$

vì điện áp giữa 2 lối vào đảo và không đảo của KĐTТ có trị số nhỏ nên điện áp ra có trị số đ- ợc xem bằng điện áp trên tụ C₁.

$$U_{ra} = U_c = \frac{1}{C} \int_0^t i_c dt + U_{c_0}$$

Nếu tần số l- ới f_l = 50 Hz thì khoảng thời gian tụ C đ- ợc nạp có trị số ≈ 0,01 giây. Với giả thiết sau mỗi nửa chu kỳ của điện áp l- ới tụ C phóng hết điện tích, điện áp trên tụ C giảm về 0 thì U_{c0} = 0. Khi đó:

$$U_{rcmax} = \frac{1}{C} \int_0^{0,01} i_c .dt = \frac{+U_{cc}}{C(R_2 + WR)} .0,01 \text{ (V)}$$

Khi thiết kế bộ phát sóng răng c- a ta cần đ- a ra các thông số : U_{cc}, U_{rcmax}, f_l. Trên cơ sở các thông số đã cho ta có thể tính đ- ợc hằng số thời gian của khâu tích phân, chọn giá trị của tụ C và suy ra giá trị của (R₂ + WR).

- Tính chọn cho mạch phát sóng răng c- a:

Từ công thức
$$U_{rcmax} = \frac{+U_{cc}}{C(R_2 + WR)} .0,01 \text{ (V)} .$$

$$\Rightarrow C(R_2 + WR) = \frac{+U_{cc}}{U_{rc\max}} \cdot 0,01.$$

Với $+U_{cc} = +15$ (v), chọn $U_{rc\max} = +5$ (v).

$$\Rightarrow C(R_2 + WR) = \frac{15}{5} \cdot 0,01 = 0,03(s)$$

Chọn tụ có dung lượng: $C = 1$ (μF) = $1 \cdot 10^{-6}$ (F).

$$\Rightarrow (R_2 + WR) = \frac{0,03}{1 \cdot 10^{-6}} = 3 \cdot 10^4$$
 (Ω).

Chọn $R_2 = 10\,000$ (Ω) = 10 (K Ω); $WR = 50\,000$ (Ω) = 50 (K Ω).

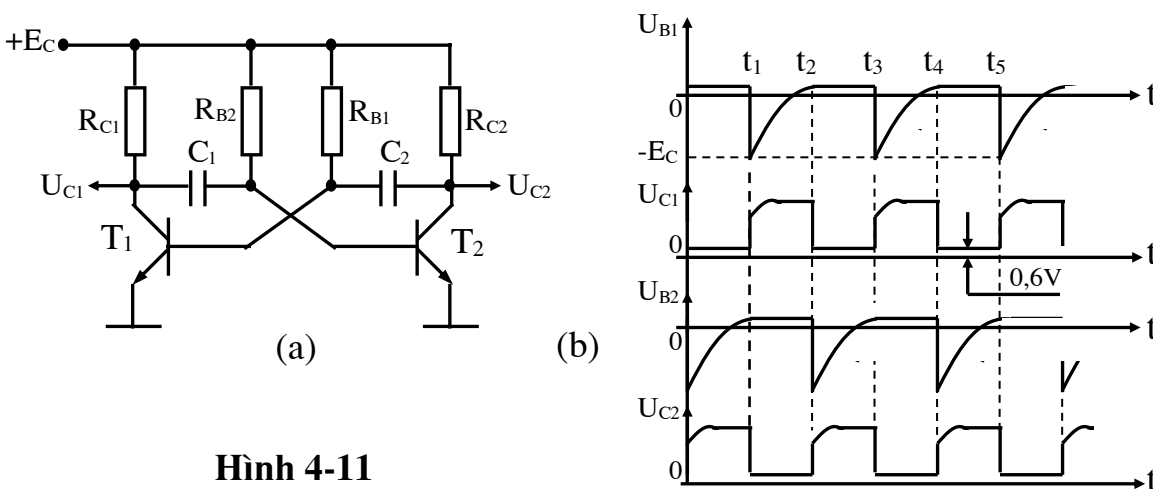
Khuếch đại thuật toán có thể chọn loại μA 741.

Chương 4. CÁC MẠCH TẠO XUNG VUÔNG

Để tạo ra dãy xung vuông liên tục có thể điều chỉnh một cách dễ dàng biên độ cũng như tần số thì ta thường sử dụng các mạch đa hài tự kích (tự dao động) dùng Tranzistor hay IC tuyến tính hoặc dùng IC chuyên dụng như IC 555....

4.3.1. Đa hài tự dao động dùng Tranzistor.

Mạch đa hài tự kích dùng Tranzistor có cấu tạo từ hai tầng khuếch đại phụ tải cực góp mắc hồi tiếp với nhau bởi các tụ C_1, C_2 như hình 4-11a.



Hình 4-11

* Nguyên lý hoạt động:

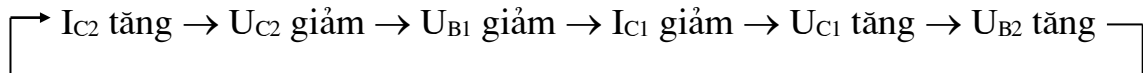
Ta giả thiết mạch là đối xứng thì khi đóng mạch nguồn cung cấp cả hai Tranzistor đều thông, dòng điện qua hai Tranzistor là bằng nhau, điện thế trên cực góp của các Tranzistor là như nhau. Tuy nhiên hiện tượng đối xứng tuyệt đối trong thực tế là không tồn tại do có sai số giữa các điện trở, tụ điện, độ tản mạn các tham số của các Tranzistor cùng loại .. v.v nên một trong hai Tranzistor sẽ dẫn mạnh hơn.

Giả thiết Tranzistor T_1 dẫn mạnh hơn $\rightarrow I_{C1}$ tăng $\rightarrow U_{C1}$ giảm, lượng giảm áp này thông qua tụ C_1 đi cả sang cực gốc đèn T_2 làm U_{B2} giảm theo. Điện áp điều khiển U_{B2} của T_2 giảm làm I_{C2} giảm và U_{C2} tăng. Lượng tăng áp trên cực góp của

T₂ thông qua tụ C₂ đ- a cả đến cực gốc của T₁ nên U_{B1} tăng → I_{C1} tiếp tục tăng. Quá trình này chỉ kết thúc khi I_{C2} giảm về bằng “0” (T₂ khoá hẳn: U_{C2} ≈ E_C) và I_{C1} đạt giá trị I_{C1bh} (T₁ mở bão hòa: U_{C1} ≈ 0).

Ngay khi T₁ mở bão hoà, T₂ khoá chắc chắn thì tụ C₂ đ- ợc nạp theo đ- ờng: +E_C → R_{C2} → C₂ → r_{beTr1} → mát (âm nguồn E_C). Đồng thời với quá trình nạp điện của tụ C₂ là quá trình phóng điện của tụ C₁: +C₁ → r_{ceTr1} → E_C (qua nội trở của nguồn) → R_{B2} → -C₁. Chính quá trình phóng điện của tụ C₁ tạo nên một sụt áp âm trên tiếp giáp gốc - phát của T₂ giữ cho T₂ ở trạng thái khoá chắc chắn.

Theo thời gian, dòng phóng của tụ C₁ giảm dần, điện thế trên cực gốc của T₂ bớt âm dần. Khi điện áp U_{beTr2} ≥ 0 thì đèn T₂ sẽ thông lại bắt đầu một quá trình hồi tiếp nh- sau:



Kết thúc quá trình hồi tiếp trên, T₁ khoá, T₂ thông bão hoà bắt đầu quá trình nạp điện của tụ C₁ và phóng điện của tụ C₂, U_{C1} ≈ E_C, U_{C2} ≈ 0.

Qua các phân tích ở trên ta thấy mạch có thể tự động chuyển từ trạng thái cân bằng không ổn định này sang trạng thái cân bằng không ổn định khác mà không cần tín hiệu kích thích từ ngoài. Mạch có hai đầu ra đ- ợc lấy trên hai cực góp của hai Tranzistor T₁ (U_{C1}) và T₂ (U_{C2}). U_{C1}, U_{C2} thực chất là hai dãy xung có biên độ xấp xỉ bằng nguồn nuôi của mạch là E_C và U_{C1} = U_{C2}. Chu kỳ T của hai dãy xung ra này đ- ợc tính theo biểu thức: T = τ₁ + τ₂.

$$\text{Trong đó } \tau_1 = R_{B2} \cdot C_1 \cdot \ln 2 \approx 0,7 \cdot R_{B2} \cdot C_1 \quad (4-19)$$

là hằng số thời gian phóng của C₁.

$$\tau_2 = R_{B1} \cdot C_2 \cdot \ln 2 \approx 0,7 \cdot R_{B1} \cdot C_2 \quad (4-20)$$

là hằng số thời gian phóng của C₂.

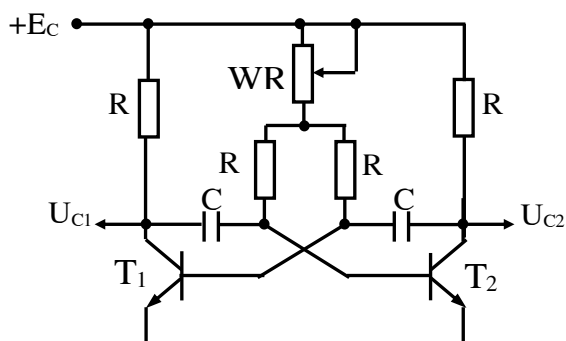
$$\Rightarrow T \approx 0,7 \cdot (R_{B2} \cdot C_1 + R_{B1} \cdot C_2).$$

Nếu ta chọn R_{B1} = R_{B2} = R, C₁ = C₂ = C thì:

$$T = 1,4 \cdot R \cdot C \quad (4-21)$$

Nhìn vào biểu thức của T ta thấy khi muốn thay đổi tần số xung ra ta chỉ việc thay đổi điện dung tụ C hoặc giá trị điện trở R.

Hình 4-12



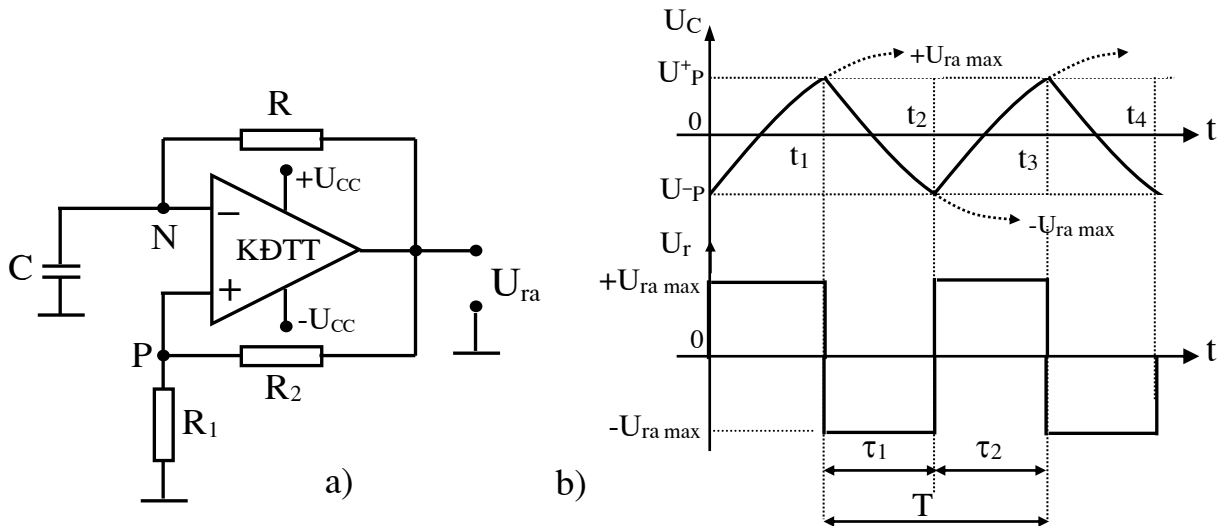
□ hình 4-12, khi ta thay đổi biến trở WR thì hằng số thời gian phóng, nạp của tụ C₁ và C₂ đều thay đổi, dẫn đến độ rộng xung ra thay đổi.

Với cách mắc trên ta có chu kỳ T là: T ≈ 1,4.(WR + R).C.

Trong mạch ta chọn Tranzistor là loại N-P-N có công suất nhỏ nh- ng hệ số khuếch đại lớn nh- loại Tranzistor silic có nhãn hiệu C₈₂₈, hoặc C₉₄₅.

4.3.2. Đa hài tự dao động dùng IC KĐTĐ.

Để lập các xung vuông tần số thấp hơn 1000Hz sơ đồ đa hài dùng IC tuyến tính dựa trên cấu trúc của một mạch so sánh hồi tiếp d-ơng có nhiều -u điểm hơn sơ đồ dùng Tranzistor đã nêu. Hình 4-13 là sơ đồ nguyên lý (a) và giản đồ thời gian (b) làm việc của mạch phát xung dùng vi mạch khuếch đại thuật toán.



Hình 4-13: Sơ đồ nguyên lý mạch phát xung (a) và giản đồ thời gian (b).

Nhìn vào sơ đồ nguyên lý ta thấy điện áp đặt tới đầu vào đảo của KĐTĐ đ-ợc lấy trên tụ C và tuân theo quy luật biến thiên của điện áp trên tụ: $U_N = U_C$. Còn điện áp đặt vào đầu không đảo của KĐTĐ đ-ợc lấy trên điện trở R₁: $U_P = U_{R1}$ và đ-ợc coi nh- là 1 điện áp ng- ỡng (chuẩn).

* Nguyên lý hoạt động của mạch:

Khi điện thế trên đầu vào N (điện áp trên tụ C) đạt tới ng- ỡng lật (điện áp ng- ỡng U_P) thì sơ đồ sẽ lật trạng thái và điện áp ra đột biến giá trị ng- ợc lại với giá trị cũ. Sau đó thế trên đầu vào N thay đổi theo h- ớng ng- ợc lại và tiếp tục cho đến khi đạt ng- ỡng lật khác. Quá trình thay đổi U_N đ- ợc điều khiển bởi thời gian phóng nạp của C từ U_r qua R.

+ Khoảng thời gian (0 ÷ t₁) điện áp ra của KĐTĐ ở giá trị U_{ra} = +U_{ra max}.

$$\Rightarrow U_P = U^+_P = +U_{ra\ max} \cdot \frac{R_1}{R_1 + R_2} = +U_{ra\ max} \cdot \beta, \text{ với } \beta = \frac{R_1}{R_1 + R_2}$$

Đến thời điểm t₁ điện thế trên N đạt đến ng- ỡng U_c = U⁺_P = +U_{ra max} · β thì sơ đồ lật trạng thái.

+ Từ t₁ ÷ t₂, U_{ra} = -U_{ra max} → điện áp ng- ỡng cũng lật trạng thái: U_P = U⁻_P = -U_{ra max} · β, đồng thời tụ C phóng điện từ + C → R → KĐTĐ → -U_{CC} → nội trở nguồn → mát → - C. Khi điện áp trên tụ giảm về bằng không thì tụ lại nạp theo chiều ng- ợc lại từ: mát → C → R → KĐTĐ → - U_{CC}, điện áp trên tụ tăng dần với cực tính ng- ợc lại. Tại t₂ điện thế trên N đạt đến giá trị ng- ỡng U_C = U⁻_P = -β · U_{ra max} → sơ đồ lại lật trạng thái → U_{ra} = +U_{ra max} → U_c = U⁺_P = +U_{ra max} · β, đồng thời tụ C phóng điện theo đ- ờng +C → mát → nội trở nguồn → +U_{CC} → R → - C. Khi điện áp trên tụ giảm về “0” thì tụ đ- ợc nạp theo

chiều ng-ợc lại từ: $+U_{CC} \rightarrow KĐTT \rightarrow R \rightarrow C \rightarrow$ mát.

Qua các phân tích trên ta thấy quá trình phóng và nạp của tụ C đều thông qua điện trở R trong các khoảng thời gian $0 \div t_1, t_1 \div t_2$, lúc đó ph-ơng trình vi phân để xác định $U_N(t)$ có dạng:

$$\frac{dU_N}{dt} = \pm \frac{U_{ra\max} - U_N}{RC} \quad (4-22)$$

Giải ph-ơng trình vi phân trên với điều kiện đầu là $U_N(t=0) = U_P = -U_{ra\max} \cdot \beta$

ta có nghiệm sau:
$$U_N(t) = U_{ra\max} \left[1 - (1 - \beta) \cdot e^{-\frac{t}{R \cdot C}} \right] \quad (4-23)$$

Tại thời điểm t_1 điện áp trên tụ đạt giá trị $U_N(t_1) = U_P^+ = U_{ra\max} \cdot \beta$

$$\Rightarrow U_N(t_1) = U_P^+ \Leftrightarrow U_{ra\max} \left[1 - (1 + \beta) \cdot e^{-\frac{\tau_1}{RC}} \right] = \beta \cdot U_{ra\max} \quad (*)$$

Với τ_1 là hằng số thời gian phóng nạp của tụ C khi $U_{ra} = U_{ra\max}$.

(*) $\Leftrightarrow (1 - \beta) = (1 + \beta) \cdot e^{-\frac{\tau_1}{RC}}$, thay $\beta = \frac{R_1}{R_1 + R_2}$, tối giản và lấy ln hai vế ta đ-ợc:

$$\Leftrightarrow \frac{\tau_1}{R \cdot C} = \ln\left(1 + 2 \frac{R_1}{R_2}\right) \Rightarrow \tau_1 = R \cdot C \cdot \ln\left(1 + 2 \frac{R_1}{R_2}\right) \quad (4-24)$$

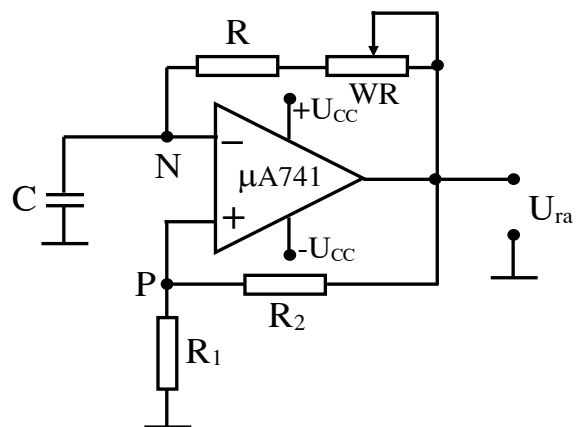
Nếu ta chọn $R_1 = R_2$ thì: $\tau_1 = R \cdot C \cdot \ln 3 \approx 1,1 \cdot R \cdot C$.

Do quá trình phóng nạp của tụ đều qua R nên ta có $\tau_1 = \tau_2 = \tau \approx 1,1 \cdot R \cdot C$ nên chu kỳ T của xung ra :

$$T = 2 \cdot \tau \approx 2 \cdot 1,1 \cdot R \cdot C = 2,2 \cdot R \cdot C \quad (4-25)$$

Nhìn vào biểu thức trên ta thấy: khi muốn thay đổi tần số của dãy xung ra ta có thể thực hiện bằng cách thay đổi điện dung của tụ C hoặc thay đổi giá trị điện trở R.

Hình 4-14: Sơ đồ nguyên lý mạch phát xung sử dụng $\mu A741$.



Hình 4-14 là sơ đồ nguyên lý một mạch phát xung dùng khuếch đại thuật toán dùng vì mạch $\mu A741$ có độ rộng thay đổi đ-ợc nhờ biến trở WR. Với mạch này ta có công thức tính chu kỳ của xung ra nh- sau:

$$T = 2 \cdot \tau \approx 2 \cdot 1,1 \cdot (WR + R) \cdot C = 2,2 \cdot (WR + R) \cdot C$$

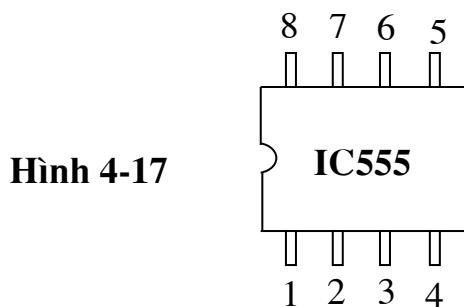
§4.5. MẠCH TẠO XUNG VUÔNG DÙNG IC CHUYÊN DỤNG (IC555)

4.5.1. Khái niệm

Vì mạch định thì 555 và họ của nó đ-ợc ứng dụng rất rộng rãi trong mọi lĩnh vực điện nói chung và điện tử nói riêng, vì nếu nó đ-ợc kết hợp với các linh kiện RC rời bên ngoài một cách thích hợp thì nó có thể thực hiện nhiều chức năng nh- định thì, tạo xung chuẩn, tạo tín hiệu kích thích ... Vì mạch 555 là loại vi mạch đ-ợc dùng để phát xung vuông chuyên dụng.

4.5.2. Sơ đồ chân và cấu trúc bên trong của IC555.

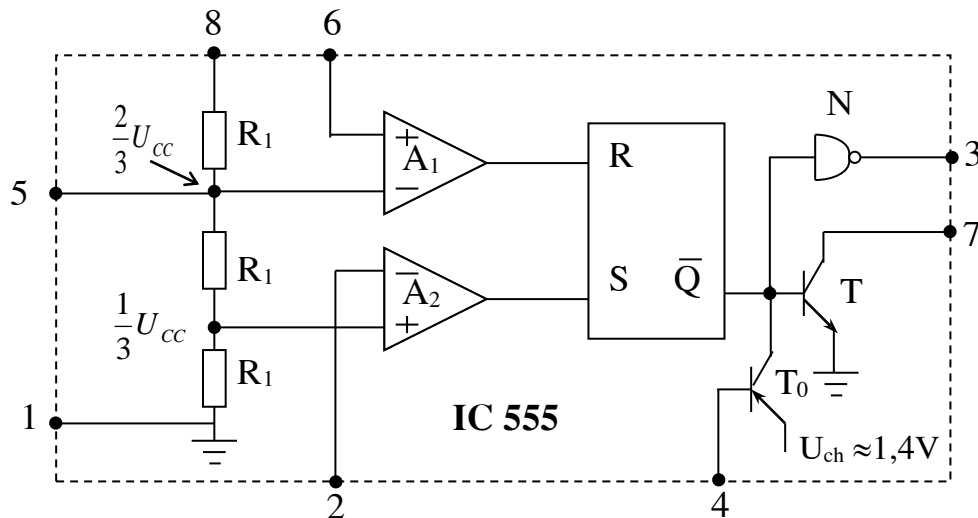
1. Sơ đồ chân :



Hình 4-17

- Chân 1 : GND (nối đất)
- Chân 2 : Tín hiệu vào so sánh
- Chân 3 : Output (ngõ ra)
- Chân 4 : Reset (hồi phục)
- Chân 5 : Điện áp ng-ỡng
- Chân 6 : Tín hiệu vào so sánh
- Chân 7 : Xả điện
- Chân 8 : Nguồn d- ơng

2. Cấu trúc bên trong của IC555.



Hình 4-18

* Cấu tạo của IC 555 gồm có:

+ Cầu phân áp gồm 3 điện trở $R_1 = 5K\Omega$ nối từ nguồn d- ơng xuống mass

cho ra hai điện áp chuẩn là: $\frac{2}{3}U_{cc}$ và $\frac{1}{3}U_{cc}$.

+ A_1 và A_2 là hai IC KĐTT mắc theo kiểu so sánh có ng-õng lật đ-ợc lấy trên cầu phân áp gồm $3R_1$ là $\frac{1}{3}U_{cc}$ đối với A_2 và $\frac{2}{3}U_{cc}$ đối với A_1 . Tín hiệu đầu ra của A_1 đ-ợc đ- a tới đầu vào R của Trigơ RS (Tín hiệu này phụ thuộc vào tín hiệu so sánh ở chân 6). Tín hiệu đầu ra của A_2 đ-ợc đ- a tới đầu vào S của Trigơ RS (Tín hiệu này phụ thuộc vào tín hiệu so sánh ở chân 2).

+ Trigơ RS là mạch l-õng ổn kích một bên. Khi chân set (S) có điện áp cao thì điện áp này kích đổi trạng thái của Trigơ làm ngõ ra Q lên mức cao còn ngõ ra \bar{Q} xuống mức thấp. Khi chân Reset (R) có điện áp cao thì điện áp này kích đổi trạng thái của Trigơ làm ngõ ra \bar{Q} lên mức cao còn ngõ ra Q xuống mức thấp.

+ Khi chân Reset (R) và chân set (S) đều có mức điện áp thấp hoặc chuyển từ mức điện áp cao về mức điện áp thấp thì trạng thái đầu ra của Trigơ RS đ-ợc giữ nguyên. Khi chân Reset (R) và chân set (S) đều có mức điện áp cao thì trạng thái đầu ra của Trigơ RS không đ-ợc xác định.

+ Mạch Output là mạch khuếch đại ngõ ra để tăng độ khuếch đại dòng cấp cho tải. Đây là mạch khuếch đại đảo có ngõ vào là chân \bar{Q} của Trigơ RS, nên khi \bar{Q} có mức cao thì ngõ ra chân 3 có mức điện áp thấp ($\approx 0V$), và ng-ợc lại \bar{Q} có mức thấp thì ngõ ra chân 3 có mức điện áp cao ($\approx U_{cc}$).

+ Tranzitor T_0 có chân E nối vào điện áp chuẩn khoảng 1,4V, nên khi cực B nối ra ngoài bởi chân 4 có điện áp cao hơn 1,4V thì T_0 khoá và không ảnh h-õng tới hoạt động của mạch. Khi chân 4 mắc với một điện trở nhỏ rồi nối mass thì T_0 mở bão hoà, làm đầu ra chân 3 có điện áp thấp. Chân 4 gọi là chân Rset, có nghĩa là nó Reset IC 555 bất chấp trạng thái ở các ngõ vào khác. Khi sử dụng nếu không dùng chức năng Rset thì nối chân 4 lên mức điện áp cao để tránh mạch bị Reset do nhiễu.

+ Tranzitor T có cực C để hở nối ra chân 7. Do cực B đ-ợc phân cực bởi mức điện áp ra \bar{Q} nên khi \bar{Q} có mức cao thì T mở bão hoà và khi đó cực C của T coi nh- đ-ợc nối mass, lúc đó ngõ ra chân 3 cũng có mức điện áp thấp ($\approx 0V$), và ng-ợc lại \bar{Q} có mức thấp, T khoá cực góp C bị hở mạch, lúc đó ngõ ra chân 3 có mức điện áp cao ($\approx U_{cc}$).

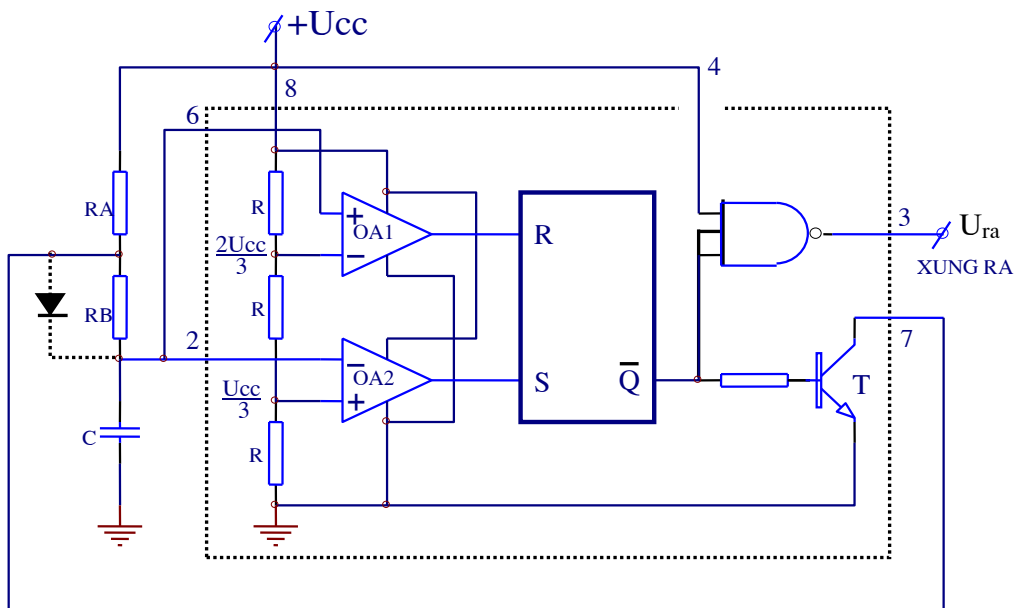
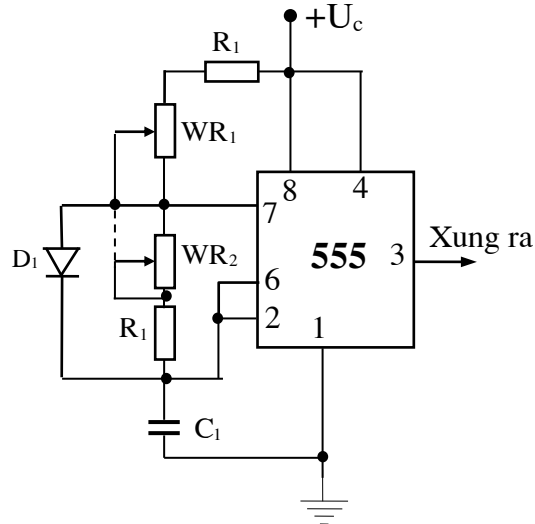
+ Chân 5 th-ờng đ-ợc nối với một tụ có dung l-ợng nhỏ khoảng $0,01 \mu F$, rồi nối xuống mass để lọc nhiễu tần số cao có thể làm ảnh h-õng tới điện áp chuẩn $\frac{2}{3}U_{cc}$.

4.5.3. Mạch tạo xung vuông dùng IC555.

Hình 4-19 là sơ đồ nguyên lý của một mạch phát xung vuông dùng IC555. Muốn tạo ra đ-ợc dãy xung liên tục ng-ời ta tiến hành ghép vi mạch này với tụ điện và điện trở nh- hình vẽ.

Để hiểu rõ nguyên lý hoạt động của phát xung của vi mạch 555 ta quan sát sơ đồ trái của vi mạch 555 hình 4-20.

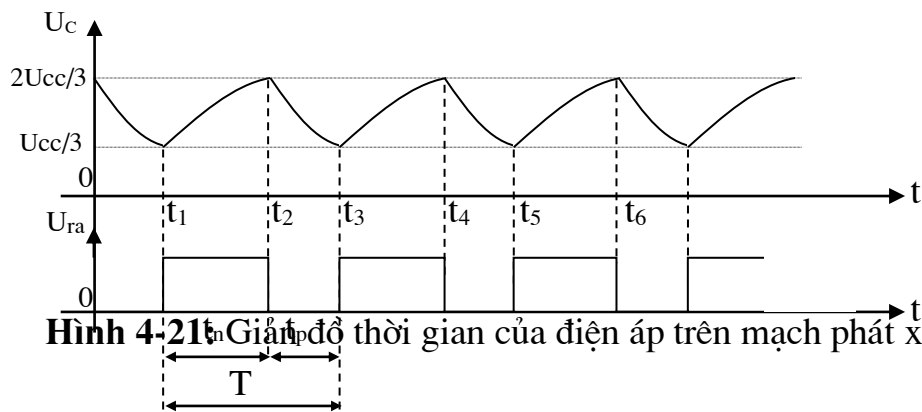
Hình 4-19: Sơ đồ nguyên lý mạch phát xung chuẩn dùng IC 555



Hình 4-20: Sơ đồ trái của IC 555

Phần đ-ợc đóng khung bằng nét đứt là vi mạch 555, nó có cấu tạo cơ bản từ 2 phần tử khuếch đại thuật toán OA1, OA2 và 1 Trơ R-S. Trong đó hai khuếch đại thuật toán đ-ợc mắc theo kiểu mạch so sánh có điện áp ng-ỡng đ-ợc lấy trên bộ phân áp dùng 3 điện trở có cùng giá trị R. Với cách mắc nh- trên thì điện áp ng-ỡng của các mạch so sánh là $\frac{U_{cc}}{3}$ đối với OA2 và $\frac{2U_{cc}}{3}$ đối với OA1. Quan sát trên sơ đồ ta thấy điện áp trên tụ C đ-ợc đặt tới đầu vào còn lại của hai mạch so sánh nên giá trị điện áp trên tụ sẽ quyết định trạng thái của chúng.

- Nguyên lý hoạt động của mạch phát xung:



Hình 4-21. Giảm độ thời gian của điện áp trên mạch phát xung.

* Giả sử tại thời điểm đầu ($t = 0$) điện áp trên tụ C là $U_C = \frac{2U_{CC}}{3}$ thì đầu ra

OA1 có mức logic “1” còn đầu ra OA2 có mức logic “0”, đầu ra 1 có mức logic “1” ($R = 1, S = 0$), tranzitor T thông, tụ C phóng điện qua R_B , qua T về mát làm cho điện áp trên nó giảm dần. Đầu ra của mạch phát xung không có xung ra (mức logic “0”).

+ Khi $\frac{U_{CC}}{3} < U_C < \frac{2U_{CC}}{3}$ thì đầu ra của OA1 và OA2 đều có mức logic “0”

trigơ vẫn giữ nguyên trạng thái ($R = 0, S = 0$), T vẫn mở, tụ C tiếp tục phóng điện, điện áp trên nó tiếp tục giảm, xung ra ở mức logic “0”.

+ Đến thời điểm $t_1 : U_C \leq \frac{U_{CC}}{3}$, đầu ra OA2 có mức logic “1”, còn đầu ra

OA1 vẫn có mức logic “0”, Q nhận trị “0” ($R = 0, S = 1$). Qua cổng NAND ta nhận được xung ra ở mức logic “1”, đồng thời tranzitor T khoá, tụ C đ-ợc nạp từ $+U_{CC} \rightarrow R_A \rightarrow R_B \rightarrow C \rightarrow$ mát. Quá trình tụ nạp điện áp trên nó tăng dần theo biểu thức sau:

$$U_C = U_{CC} \cdot (1 - e^{-\frac{t}{(R_A + R_B) \cdot C}}) + \frac{U_{CC}}{3} \cdot e^{-\frac{t}{(R_B + R_A) \cdot C}} \quad (4-35)$$

+ Trong khoảng thời gian điện áp trên tụ thoả mãn: $2 \frac{U_{CC}}{3} > U_C \geq \frac{U_{CC}}{3}$ các đầu ra bộ so sánh đều nhận trị “0”, trigơ giữ nguyên trạng thái ($R = 0, S = 0$), xung ra vẫn tồn tại ở mức logic “1”, T vẫn khoá tụ C tiếp tục đ-ợc nạp điện.

+ Cho đến thời điểm $t_2 : U_C \geq 2U_{CC}/3$ đầu ra của OA1 chuyển trạng thái lên mức logic “1”, đầu ra của OA2 vẫn giữ nguyên trạng thái, Q nhận trị “1” ($R = 1, S = 0$), xung ra nhận mức logic “0” đồng thời T thông bảo hoà, tụ C phóng điện, hoạt động của mạch lặp lại nh- quá trình từ 0 ÷ t_1 . Kết quả là ta thu đ-ợc một dãy xung vuông ở đầu ra trên chân 3 của vi mạch 555.

Để thay đổi tần số xung ra thì thay đổi hằng số thời gian phóng, nạp của tụ C bằng cách thay đổi giá trị các điện trở R_A và R_B .

Thời gian để điện áp trên tụ đ-ợc nạp từ giá trị $U_{CC}/3$ đến giá trị $2U_{CC}/3$ ta tính đ-ợc theo công thức sau:

$$\frac{2U_{CC}}{3} = \frac{U_{CC}}{3} \cdot e^{-\frac{t_n}{(R_A + R_B) \cdot C}} + U_{CC} \cdot \left(1 - e^{-\frac{t_n}{(R_A + R_B) \cdot C}} \right).$$

Đơn giản phương trình ta được :

$$2 \frac{U_{CC}}{3} \cdot e^{\frac{-t_n}{(R_A + R_B) \cdot C}} = \frac{U_{CC}}{3}$$

$$\text{Ln hai vế: } t_n = (R_A + R_B) \cdot C \cdot \ln 2 \approx 0,69 \cdot (R_A + R_B) \cdot C. \quad (4-36)$$

Trong khoảng từ $0 \div t_1$ tụ C phóng điện từ giá trị ban đầu là $2U_{CC}/3$ đến $U_{CC}/3$.

$$\text{Biểu thức điện áp trên tụ: } U_C(t) = \frac{2}{3} U_{CC} \cdot e^{\frac{-t}{R_B \cdot C}}. \quad (4-37)$$

$$\text{Tại } t = t_1: \quad \frac{U_{CC}}{3} = \frac{2}{3} U_{CC} \cdot e^{\frac{-t_p}{R_B \cdot C}}.$$

Với t_p là hằng số thời gian phóng của tụ C.

$$t_p = R_B \cdot C \cdot \ln 2 \approx 0,69 \cdot R_B \cdot C.$$

Chu kỳ T của dãy xung ra:

$$T = t_n + t_p = 0,69(R_A + R_B) \cdot C + 0,69R_B \cdot C = 0,69(R_A + 2R_B) \cdot C.$$

Nếu mắc thêm diode D song song với điện trở R_B như hình vẽ thì tụ C sẽ nạp điện theo đường: $+U_{CC} \rightarrow R_A \rightarrow D \rightarrow C \rightarrow$ mát, thời gian nạp của tụ C sẽ được tính: $t_n = 0,69 \cdot C \cdot R_A$, và khi đó chu kỳ của dãy xung ra sẽ được tính:

$$T = t_n + t_p = 0,69 \cdot R_A \cdot C + 0,69 \cdot R_B \cdot C = 0,69 \cdot (R_A + R_B) \cdot C.$$

Nếu ta chọn $R_A = R_B \rightarrow t_n = t_p \rightarrow T = 2 \cdot t_n = 2 \cdot t_p = 2 \cdot 0,69 \cdot R_A \cdot C = 1,4 \cdot R_A \cdot C$.

Trong trường hợp này xung ra có độ rộng và khoảng thời gian không tồn tại xung là bằng nhau. Nhìn vào biểu thức ta thấy khi muốn thay đổi chu kỳ T của xung ra ta có thể thực hiện bằng 2 cách là thay đổi dung lượng của tụ C hoặc thay đổi giá trị của điện trở R_A , và R_B .

Trên hình 4-19 để có thể thay đổi được chu kỳ T ta điều chỉnh hai biến trở WR_1 và WR_2 , đây là hai biến trở đồng trục mà khi ta tăng thì chúng cùng tăng còn khi ta giảm thì chúng cùng giảm nên $WR_1 = WR_2 = WR$. Với mạch như hình 4-19 công thức tính chu kỳ của xung ra như sau:

$$T = 2 \cdot 0,69 \cdot (WR + R_1) \cdot C_1 = 1,4 \cdot (WR + R_1) \cdot C_1. \quad (4-38)$$

CƠ SỞ ĐẠI SỐ LOGIC VÀ CÁC PHẦN TỬ LOGIC CƠ BẢN,

THÔNG DỤNG

§1. ĐẠI SỐ BOOLE

Trong mạch số các tín hiệu thường cho ở hai mức điện áp 0(v) và 5(v). những linh kiện điện tử dùng trong mạch số làm việc ở một trong hai trạng thái (tắt hoặc thông). Do vậy để mô tả mạch số người ta dùng hệ nhị phân (Binary) hai trạng thái trong mạch được mã hoá tương ứng là "1" hoặc "0". Hệ nhị phân thể hiện được trạng thái vật lý mà hệ thập phân không thể hiện được. Môn đại số

mang tên ng-ời sáng lập ra nó - Đại số Boole còn đ-ợc gọi là đại số logic.

1.1. Một số định nghĩa:

- Biến logic: Đại lượng biểu diễn bằng ký hiệu nào đó chỉ lấy giá trị "1" hoặc "0".

- Hàm logic: Biểu diễn nhóm các biến logic liên hệ với nhau thông qua các phép toán logic, một hàm logic cho dù là đơn giản hay phức tạp cũng chỉ nhận giá trị hoặc là "1" hoặc là "0".

- Các phép toán logic: có 3 phép toán cơ bản.

Phép nhân (và) - kí hiệu là AND.

Phép cộng (hoặc) - kí hiệu là OR.

Phép phủ định (đảo) - kí hiệu là NOT

b. Bảng trạng thái:

* Bảng trạng thái: Hàm ra không những phụ thuộc vào biến vào ở thời điểm hiện tại mà còn phụ thuộc vào (trạng thái) quá khứ của nó.

Giả sử có n biến thì bảng có (n+1) cột và 2^n hàng

+ (n+1) cột \rightarrow (n) biến + (1) giá trị hàm.

+ 2^n hàng $\rightarrow 2^n$ tổ hợp giá trị biến.

Ví dụ: Hàm có hai biến - bảng gồm có 3 cột, 4 hàng.

A	B	f(A,B)
0	0	0
0	1	1
1	0	1
1	1	1

Bảng thật

A \ B	f(A,B) = A + B	
	0	1
0	0	1
1	1	1

c. Bìa Karnaugh (Các nô).

Biểu diễn t-ơng đ-ơng bảng thật. Mỗi dòng của bảng thật ứng với một ô của bìa các nô. Toạ độ của ô đ-ợc quy định bởi giá trị tổ hợp biến, giá trị của hàm t-ơng ứng với tổ hợp biến đ-ợc ghi trong ô đó.

1.3. Các hàm logic cơ bản.

- Hàm phủ định (NOT): $f(A) = \bar{A}$
- Hàm cộng (OR): $f(A,B,C) = A+B+C$.
- Hàm nhân (AND) : $f(A,B) = A.B$

Bìa các nô
 $f(A,B) = A + B$

Các bảng thật t- ong ứng các hàm trên.

A	f(A)
0	1
1	0

$$f(A) = \bar{A}$$

A	B	f(A,B)
0	0	0
0	1	1
1	0	1
1	1	1

$$f(A,B) = A + B$$

A	B	C	f(A,B,C)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

$$f(A,B,C) = A + B + C$$

1.4. Một số tính chất của hàm nhân, cộng, phủ định:

- Tồn tại phần tử trung tính duy nhất cho phép "nhân", phép "cộng".

$$A + 0 = A; \quad 0 - \text{Phần tử trung tính cho phép tính "cộng"}.$$

$$A.1 = A; \quad 1 - \text{Phần tử trung tính cho phép "nhân"}.$$

$$\text{- Hoán vị: } A + B = B + A; \quad A.B = B.A.$$

$$\text{- Kết hợp } (A + B) + C = A + (B + C) = (A + C) + B$$

$$(A . B) . C = A . (B . C) = (A . C) . B$$

$$\text{- Phân phối : } A.(B + C) = A.B + A.C$$

- Không có số mũ, không có hệ số.

$$A + A + \dots + A = A; \quad A.A \dots A = A.$$

$$\text{- Bù : } \overline{\overline{A}} = A; \quad A + \bar{A} = 1; \quad A.\bar{A} = 0$$

* Định lý Demorgan:

$$\text{Tr- ờng hợp tổng quát : } \overline{f[x_i, \bullet, +]} = f[\bar{x}_i, +, \bullet]$$

$$\text{Thí dụ: } \overline{X + Y} = \bar{X} . \bar{Y} ; \quad \overline{X . Y} = \bar{X} + \bar{Y}$$

(Đảo của một tổng bằng tích các đảo, đảo của một tích bằng tổng các đảo)

- Đối ngẫu $+ \leftrightarrow \cdot$; $0 \leftrightarrow 1$

Thí dụ: $A + B = B + A \leftrightarrow A.B = B.A$

$A + \bar{A}.B = A + B \leftrightarrow A(\bar{A} + B) = A.B$

$A + 1 = 1 \leftrightarrow A.0 = 0.$

§2. BIỂU DIỄN GIẢI TÍCH CÁC HÀM LOGIC

Với các kí hiệu hàm, biến và các phép tính giữa chúng. Có hai dạng giải tích đ-ợc sử dụng là.

+ Dạng tuyển: Hàm đ-ợc cho d-ới dạng tổng của tích các biến.

+ Dạng hội: Hàm đ-ợc cho d-ới dạng tích của tổng các biến.

+ Dạng tuyển chính quy: Nếu mỗi số hạng chứa đầy đủ mặt các biến.

+Dạng tuyển không chính quy: Chỉ cần ít nhất một số hạng chứa không đầy đủ mặt các biến.

+ Hội chính quy: Nếu mỗi thừa số chứa đầy đủ mặt các biến.

+ Hội không chính quy: chỉ cần ít nhất một thừa số không chứa đầy đủ mặt các biến.

Thí dụ: $f(X,Y,Z) = \bar{X}.\bar{Y}.\bar{Z} + \bar{X}\bar{Y}Z + \bar{X}YZ + XYZ$ (tuyển chính quy)

$f(X,Y,Z) = \bar{X}.\bar{Y} + \bar{X}\bar{Y}Z + \bar{X}YZ + XZ$ (tuyển không chính quy)

$f(x,y,z) = (X + Y + Z).(X + \bar{Y} + Z).(X + \bar{Y} + \bar{Z}).$ (hội chính quy).

$f(x,y,z) = (X + Y + Z).(Y + Z).(Z + \bar{Y} + \bar{X}).$ (hội không chính quy).

2.1. Dạng tuyển chính quy

Định lý Shannon: Mọi hàm logic có thể đ-ợc khai triển theo 1 trong các biến d-ới dạng tổng của 2 tích logic nh- sau:

$F(A,B, \dots, Z) = A.F(1,B, \dots, Z) + \bar{A}.F(0,B, \dots, Z).$

Ví dụ: Hàm 2 biến: $F(A,B) = A.F(1,B) + \bar{A}.F(0,B).$ (*)

$F(1,B) = B.F(1,1) + \bar{B}.F(1,0)$

$F(0,B) = B.F(0,1) + \bar{B}.F(0,0)$

Với $F(0,0), F(0,1), F(1,0), F(1,1).$ đ-ợc gọi là các hàm thành phần. Thay các hàm $F(1,B), F(0,B)$ vào (*) ta đ-ợc:

$$F(A,B) = A.B.F(1,1) + \bar{A}.B.F(0,1) + A.\bar{B}.F(1,0) + \bar{A}.\bar{B}.F(0,0) (**)$$

Nh- vậy : Hàm 2 biến \rightarrow Khai triển 4 số hạng (2^2)

Hàm n biến \rightarrow khai triển 2^n số hạng

Từ biểu thức (**) ta có nhận xét:

- Nếu giá trị của hàm thành phần = "1" \rightarrow Số hạng là tích của các biến.

- Nếu giá trị của hàm thành phần = "0" \rightarrow ta loại số hạng đó.

Giả sử với ví dụ trên:

$$F(1,1) = 1 ; F(0,0) = 1 ;$$

$$F(0,1) = F(1,0) = 0 .$$

$$\text{Thì: } f(A,B) = A.B + \bar{A}.\bar{B} .$$

STT	A	B	C	Z =f(A,B,C)
0	0	0	0	0 F(0,0,0)
1	0	0	1	1 F(0,0,1)
2	0	1	0	1 F(0,1,0)
3	0	1	1	1 F(0,1,1)
4	1	0	0	0 F(1,0,0)
5	1	0	1	1 F(1,0,1)
6	1	1	0	0 F(1,1,0)
7	1	1	1	1 F(1,1,1)

Thí dụ: Cho hàm 3 biến có bảng thật nh- hình trên thì:

$$Z = f(A,B,C) = \bar{A}.\bar{B}.C + \bar{A}.B.\bar{C} + \bar{A}.B.C + A.\bar{B}.C + A.B.C$$

Từ các phân tích trên ta thấy khi biểu diễn hàm logic dạng tuyến chính quy:

- Chỉ quan tâm đến các tổ hợp biến tại đó hàm thành phần nhận trị "1".

- Số số hạng bằng số lần hàm thành phần nhận trị "1".

- Trong biểu thức logic các biến nhận trị "1" giữ nguyên, biến nhận trị "0" ta lấy phủ định.

2.2. Dạng hội chính quy :

Định lý Shannon: Mọi hàm logic đ- ợc triển khai theo một trong các biến d- ối dạng tích của hai tổng logic nh- sau:

$$F(A,B,\dots,Z) = [\bar{A} + F(1,B,\dots,Z)].[A + F(0,B,\dots,Z)].$$

Thí dụ: Hàm 2 biến F(A,B).

$$F(A,B) = [\bar{A} + F(1,B)].[A + F(0,B)] \quad (1).$$

$$\left. \begin{aligned} F(1,B) &= [\bar{B} + F(1,1)].[B + F(1,0)] \\ F(0,B) &= [\bar{B} + F(0,1)].[B + F(0,0)] \end{aligned} \right\} \text{Thay các giá trị này vào (1) ta đ- ợc}$$

$$F(A,B) = [\bar{A} + \bar{B} + F(1,1)][A + \bar{B} + F(0,1)][\bar{A} + B + F(1,0)][A + B + F(0,0)] \quad (2)$$

Nếu giá trị của hàm thành phần = 0 \rightarrow Thừa số bằng tổng các biến.

Nếu giá trị của hàm thành phần = 1 \rightarrow Thừa số bị loại bỏ.

Với bảng thật trên thì:

$$Z = f(A,B,C) = [A + B + C].[\bar{A} + B + C].[\bar{A} + \bar{B} + C].$$

Từ các phân tích trên khi biểu diễn hàm logic dạng hội chính quy:

- Chỉ quan tâm đến các tổ hợp biến tại đó hàm thành phần nhận trị "0".
- Số thừa số bằng số lần hàm thành phần nhận trị "0" .
- Trong biểu thức logic các biến nhận trị "0" giữ nguyên, các biến nhận trị "1" ta lấy phủ định.

2.3. Biểu diễn tuyến chính quy, hội chính quy d- ới dạng số:

a). Tuyến chính quy dạng số.

Từ thí dụ tr- ớc tuyến chính quy dạng số đ- ọc cho:

$$Z = F(A, B, C) = \Sigma (1,2,3,5,7)$$

(tại các giá trị tổ hợp 1, 2, 3, 5, 7 của biến vào hàm nhận trị "1")

STT	A	B	C	Z = F(A,B,C)
1	0	0	1	1 F(0,0,1)
2	0	1	0	1 F(0,1,0)
3	0	1	1	1 F(0,1,1)
5	1	0	1	1 F(1,0,1)
7	1	1	1	1 F(1,1,1)

$$Z = F(A,B,C) = \bar{A} . \bar{B} . C + \bar{A} . B . \bar{C} + \bar{A} . B . C + A . \bar{B} . C + A . B . C$$

b). Hội chính quy dạng số:

Cũng từ thí dụ trên hội chính quy dạng số đ- ọc cho nh- sau:

$$Z = F(A,B,C) = \prod (0,4,6).$$

(tại các tổ hợp biến 0, 4, 6 hàm logic nhận trị "0")

STT	A	B	C	Z = F(A,B,C)
0	0	0	0	0 F(0,0,0)
4	1	0	0	0 F(1,0,0)
6	1	1	0	0 F(1,1,0)

$$Z = (A+B+C).(\bar{A} +B+C).(\bar{A} +\bar{B} +C)$$

§3. TỐI THIỂU HOÁ CÁC HÀM LOGIC

Một hàm logic có thể có vô số cách biểu diễn giải tích tương đương. Tuy nhiên chỉ tồn tại 1 cách gọn nhất tối ưu về số biến, số số hạng hay thừa số và được gọi là tối giản. Việc tối giản hàm logic mang ý nghĩa quan trọng về phương diện kinh tế, kỹ thuật. Để tối thiểu hoá các hàm logic người ta thường dùng phương pháp đại số và phương pháp bìa các nô.

3.1. Phương pháp đại số:

Biến đổi biểu thức logic dựa vào các tính chất của đại số **Boole**.

Thí dụ : $A.B + \bar{A}.B = B$; $A+A.B = A$; $A + \bar{A}.B = A + B$.

Ta chứng minh các đẳng thức trên, theo tính chất đối ngẫu:

$$A.B + \bar{A}.B = B \Leftrightarrow (A + B).(\bar{A} + B) = B.$$

$$A + A.B = A \Leftrightarrow A.(A + B) = A.$$

$$A + \bar{A}.B = A + B \Leftrightarrow A.(\bar{A} + B) = A.B.$$

Quy tắc 1:

Nhóm các số hạng có thừa số chung.

Thí dụ: $A.B.C + A.B.\bar{C} = A.B(C + \bar{C}) = A.B$.

Quy tắc 2:

Đa số hạng đã có vào biểu thức logic.

$$\begin{aligned} & A.B.C + \bar{A}.B.C + A.\bar{B}.C + A.B.\bar{C} = \\ & = A.B.C + \bar{A}.B.C + A.\bar{B}.C + A.B.C + A.B.\bar{C} + A.B.C \\ & = B.C.(A + \bar{A}) + A.C.(B + \bar{B}) + A.B.(C + \bar{C}) = B.C + A.C + A.B \end{aligned}$$

Quy tắc 3:

Có thể loại các số hạng thừa.

$$\begin{aligned} & A.B + \bar{B}.C + A.C = A.B + \bar{B}.C + A.C(B + \bar{B}). \\ & = A.B + \bar{B}.C + A.B.C + A.\bar{B}.C \\ & = A.B + \bar{B}.C \text{ (loại } A.C) \end{aligned}$$

3.2. Phương pháp bìa các nô.

a. Cấu tạo:

- Gồm 1 đồ hình các ô vuông, hàm có n biến bảng có 2^n ô (1 biến - 2 ô, 2

biến - 4 ô, 3 biến - 8 ô ...).

- Thứ tự của các ô do giá trị tổ hợp biến quy định
- Hai ô kề nhau, hoặc đối xứng chỉ khác nhau 1 giá trị của biến.
- Giá trị của hàm tương ứng với tổ hợp biến được ghi ngay trong ô đó.
- Các ô tại đó giá trị của hàm không xác định được đánh bằng dấu "X".

b. Nguyên tắc tối giản hàm logic trên bìa các nô

- Thực hiện nhóm các ô tại đó hàm nhận trị "1" hoặc "0" kề nhau hoặc đối xứng, số ô trong một nhóm dán phải là số lũy thừa của 2 (khi viết hàm dạng tuyển ta nhóm các ô có giá trị "1", dạng hội nhóm các ô có giá trị "0").

- Trong một nhóm dán các biến có trị thay đổi ta loại, các biến có trị không đổi giữ nguyên, điều này có nghĩa là số ô trong nhóm dán càng nhiều thì số biến bị loại càng tăng (2 ô - loại 1 biến, 4 ô - loại 2 biến ... 2^m ô - loại m biến).

- Biểu thức logic có số số hạng hay thừa số chính bằng số nhóm dán. Khi viết hàm logic dưới dạng tuyển các biến còn lại nhận trị "1" ta giữ nguyên, nhận trị "0" ta lấy phủ định, khi viết hàm logic dưới dạng hội thì ngược lại.

- Một ô có thể tham gia vào nhiều nhóm dán.

- Các ô tại đó giá trị hàm không xác định ta coi tại ô đó hàm có thể lấy giá trị "1" hoặc "0" tùy từng trường hợp cụ thể.

* Chú ý: Phương pháp tối giản hàm logic trên bìa các nô chỉ thích hợp với hàm có số biến ≤ 6 . Trường hợp hàm có số biến lớn hơn 6, bảng các nô rất phức tạp.

	BC	00	01	11	10
A	0	0	1	3	2
1		4	5	7	6

4 cột - 2 hàng (hàm 3 biến)

	C	0	1
AB	00	0	1
01		2	3
11		4	5
10		6	7

2 cột - 4 hàng (hàm 3 biến)

	00	01	11	10
00				
01				

AB CD

$\overline{0}$	$\overline{1}$	$\overline{3}$	$\overline{2}$
$\overline{4}$	$\overline{5}$	$\overline{7}$	$\overline{6}$
$\overline{12}$	$\overline{13}$	$\overline{15}$	$\overline{14}$
$\overline{8}$	$\overline{9}$	$\overline{11}$	$\overline{10}$

Hàm 4 biến
(4 hàng - 4 cột - 16 ô)

DEF	000	001	011	010	110	111	101	100
000	$\overline{0}$	$\overline{1}$	$\overline{3}$	$\overline{2}$	$\overline{6}$	$\overline{7}$	$\overline{5}$	$\overline{4}$
001	$\overline{8}$	$\overline{9}$	$\overline{11}$	$\overline{10}$	$\overline{14}$	$\overline{15}$	$\overline{13}$	$\overline{12}$
011	$\overline{24}$	$\overline{25}$	$\overline{27}$	$\overline{26}$	$\overline{30}$	$\overline{31}$	$\overline{29}$	$\overline{28}$
010	$\overline{16}$	$\overline{17}$	$\overline{19}$	$\overline{18}$	$\overline{22}$	$\overline{23}$	$\overline{21}$	$\overline{20}$
110	$\overline{48}$	$\overline{49}$	$\overline{51}$	$\overline{50}$	$\overline{54}$	$\overline{55}$	$\overline{53}$	$\overline{52}$
111	$\overline{56}$	$\overline{57}$	$\overline{59}$	$\overline{58}$	$\overline{62}$	$\overline{63}$	$\overline{61}$	$\overline{60}$
101	$\overline{40}$	$\overline{41}$	$\overline{43}$	$\overline{42}$	$\overline{46}$	$\overline{47}$	$\overline{45}$	$\overline{44}$
100	$\overline{32}$	$\overline{33}$	$\overline{35}$	$\overline{34}$	$\overline{38}$	$\overline{39}$	$\overline{37}$	$\overline{36}$

Hàm 6 biến (8 hàng - 8 cột - 64 ô)

Thí dụ: Cho hàm logic 4 biến
 $F(A,B,C,D) = \sum(0,1,2,4,6,8,9,10)$ và không xác định tại $N = 5, 11,13,15$. (Thí dụ này tương đ- ứng với việc cho hàm logic 4 biến
 $F(A,B,C,D) = \prod(3,7,12,14)$ và không xác định tại $N = 5,11,13,15$)

CD	00	01	11	10
00	1	1	0	1
01	1	X	0	1
11	0	X	X	0
10	1	1	X	1

Từ bài ra ta có bảng các nô nh- sau:

+ Biểu diễn dạng tuyến (3 nhóm dán)

- Nhóm 1: Các ô 0, 2, 8, 10 → kết quả: $\overline{B}.\overline{D}$
- Nhóm 2: Các ô 0, 2, 4, 6 → kết quả: $\overline{A}.\overline{D}$
- Nhóm 3: Các ô 1, 5, 9, 13 → kết quả: $\overline{C}.D$

Hàm biểu diễn d- ới dạng tuyến: $F(A,B,C,D) = \overline{B}.\overline{D} + \overline{A}.\overline{D} + \overline{C}.D$

+ Biểu diễn hàm logic d- ới dạng hội (2 nhóm)

- Nhóm 1: Gồm các ô 3, 7, 11, 15 → kết quả: $\overline{C} + \overline{D}$

- Nhóm 2: Gồm các ô 12, 13, 14, 15 → kết quả: $\overline{A} + \overline{B}$

Hàm biểu diễn d- ới dạng hội: $F(A,B,C,D) = (\overline{C} + \overline{D}).(\overline{A} + \overline{B})$

§4. CÁC HỆ THỐNG SỐ ĐẾM TH- ỜNG SỬ DỤNG TRONG KỸ THUẬT SỐ.

4.1. Hệ thập phân (Decimal Number System)

* Cấu tạo : Dùng 10 chữ số 0, 1, 2, 3, 4, 5, 6, 7, 8, 9 để biểu diễn con số đếm và tính toán.

* Tính chất: Khi có một số đếm đ- ợc viết bởi hệ cơ số 10 mà có 2 chữ số bất kỳ kề nhau và giống nhau thì chữ số bên trái có giá trị gấp 10 lần chữ số bên phải.

* Khả năng thao tác toán học: có thể thực hiện mọi phép toán +, -, *, ÷ các phép toán đại số.

* Mọi số đếm hệ 10 đều có thể tách thành tổng các số lũy thừa cơ số 10.

Ví dụ: $[2452,34]_{10} = [2.10^3 + 4.10^2 + 5.10^1 + 2.10^0 + 3.10^{-1} + 4.10^{-2}]_{10}$

4.2. Hệ nhị phân (Binary number System)

* Cấu tạo: Chỉ dùng hai chữ số "0" và "1" để biểu diễn số đếm và tính toán.

* Tính chất: Khi có một số đếm đ- ợc viết bởi hệ cơ số 2 có hai chữ số bất kỳ kề nhau và giống nhau thì chữ số bên trái có giá trị gấp 2 lần chữ số bên phải.

* Khả năng thao tác toán học: Rất thích ứng với các phép toán trong đại số logic.

* Mọi số đếm hệ cơ số 2 (nhị phân) đều có thể tách thành tổng các số lũy thừa cơ số 2.

Ví dụ: $[10101.101]_2 = [1.2^4 + 0.2^3 + 1.2^2 + 0.2^1 + 1.2^0 + 1.2^{-1} + 0.2^{-2} + 1.2^{-3}]_{10}$.

* Phép cộng hai số nhị phân:

$$0 + 1 = 1.$$

$$0 + 0 = 0$$

$$1 + 0 = 1$$

$1 + 1 = 0 \rightarrow$ nhớ 1 gửi lên phép cộng bit cao hơn tiếp theo.

$1 + 1 + 1 = 1 \rightarrow$ nhớ 1 gửi lên phép cộng bit cao hơn tiếp theo

Thí dụ : Số nhớ	0010 1110
Số hạng thứ nhất	0101 0111
Số hạng thứ hai	<u>1001 0101</u>
Tổng	1110 1100

* Phép trừ hai số nhị phân:

$$0 - 0 = 0.$$

$$1 - 1 = 0.$$

$$1 - 0 = 1.$$

$0 - 1 = 1 \rightarrow$ nhớ 1 (m-ợn) gửi lên phép trừ bit cao hơn tiếp theo

$1 - 1 - 1 = 1 \rightarrow$ nhớ 1 (m-ợn) gửi lên phép trừ bit cao hơn tiếp theo

* Thí dụ: Số m-ợn	1 1 0 0 1. 0 0
Số bị trừ	1 0 0 1 1. 0 1
Số trừ	<u>1 1 0 0. 1 0</u>
Hiệu số	0 0 1 1 0. 1 1

* Phép nhân hai số nhị phân:

$$0.0 = 0.$$

$$1.0 = 0$$

$$0.1 = 0$$

$$1.1 = 1$$

$$\begin{array}{r} 101 \\ \times \quad \underline{110} \\ \hline 000 \\ + 101 \\ \hline \underline{101} \\ 11110 \end{array}$$

* Phép chia hai số nhị phân:

Ví dụ: $35/5 = 7$

$$\begin{array}{r} 100011 \quad | \quad 101 \\ \underline{000} \\ 1000 \\ \underline{101} \\ 111 \\ \underline{101} \\ 101 \\ \underline{101} \\ 0 \end{array}$$

* Định nghĩa bit:

Một chữ số hệ cơ số 2 là 1 bit:

$0_{(B)} \rightarrow 1 \text{ bit}$; $1_{(B)} \rightarrow 1 \text{ bit}$; $10_{(B)} \rightarrow 2 \text{ bit}$; $101_{(B)} \rightarrow 3 \text{ bit}$

* Định nghĩa Byte:

8 bit nối tiếp tạo nên một Byte.

4.3. Hệ cơ số 16: (Hexa Decimal System).

* Cấu tạo.

Bài giảng Kỹ thuật Điện tử Phần xung số

Dùng 16 ký hiệu : 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F để biểu diễn con số đếm và tính toán.

* Tính chất:

Khi có một số đếm đ- ọc viết bởi hệ cơ số 16 mà có 2 chữ số bất kỳ kề nhau và giống nhau thì chữ số bên trái có giá trị gấp 16 lần chữ số bên phải.

* Khả năng thao tác toán học:

Thực hiện mọi phép toán +, -, *, ÷ và các phép toán logic.

* Mọi số đếm hệ 16 đều có thể viết bằng tổng các số lũy thừa cơ số 16.

Thí dụ :

$$[3A2F]_{16} = [3 \cdot 16^3 + 10 \cdot 16^2 + 2 \cdot 16^1 + 15 \cdot 16^0]_{10}.$$

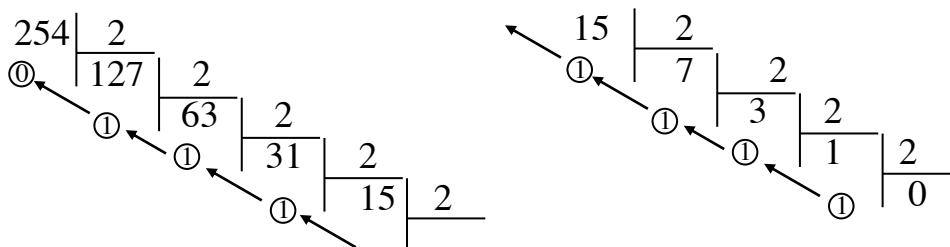
* □ nghĩa của hệ 16:

Có khả năng biểu diễn, tính toán rất gọn vì 1 chữ số trong hệ 16 t- ong ứng với 4 bit nhị phân.

4.4. Chuyển đổi giữa các hệ đếm

* Chuyển đổi số thập phân sang số nhị phân (Hệ 10 → 2)

Thí dụ: Chuyển đổi $[254]_{10} = [?]_2$.



Kết quả $[254]_{10} = [1111 1110]_2$

* Chuyển đổi số thập phân sang Hexa:

Hệ 10	Hệ 16	Hệ 2
0	0	0 0 0 0
1	1	0 0 0 1 - 35 -
2	2	0 0 1 0
3	3	0 0 1 1
4	4	0 1 0 0
5	5	0 1 0 1
6	6	0 1 1 0
7	7	0 1 1 1
8	8	1 0 0 0
9	9	1 0 0 1
10	A	1 0 1 0
11	B	1 0 1 1
12	C	1 1 0 0
13	D	1 1 0 1
14	E	1 1 1 0
15	F	1 1 1 1

→Kết quả :

$$[254]_{10} = [FE]_{16} = [1111\ 1110]_2$$

* Chuyển đổi số nhị phân sang Hexa:

$$\left[\underbrace{1011}_B \underbrace{1101}_D \underbrace{1111}_F \right]_2 = [BDF]_{16}$$

* Công thức chung để tính giá trị số đếm:

$$N_C = A_n.C^n + A_{n-1}.C^{n-1} + A_{n-2}.C^{n-2} \\ + \dots + A_0.C^0 + A_1.C^1 + A_2.C^2 + \dots + A_n.C^n$$

Trong đó: C: Là cơ số.

n: Vị trí của số.

$$(A_3\ A_2\ A_1\ A_0) \rightarrow n = 3$$

Thí dụ:

$$+ N_{10} = 1999 = 1.10^3 + 9.10^2 + 9.10^1 + 9.10^0$$

$$+ N_2 = [101101.01]_2 = [1.2^5 + 0.2^4 + 1.2^3 \\ + 1.2^2 + 0.2^1 + 1.2^0 + 0.2^{-1} + 1.2^{-2}]_{10}.$$

4.5. Hệ BCD: (Hệ 2 - 10)

Các số nhị phân có độ dài (số bit) lớn hơn 4 thường khó đọc. Theo thói quen thập phân thông thường ngày nay ta dùng mã nhị - thập phân (BCD). Dùng 4 bit nhị phân để diễn tả một chữ số hệ BCD, giá trị thập phân của 4 bit nhị phân này không lớn hơn 9.

$$\text{Thí dụ: } [9]_{10} \Leftrightarrow [1\ 0\ 0\ 1]_{\text{BCD}}.$$

$$[19]_{10} \Leftrightarrow [0\ 0\ 0\ 1\ 1\ 0\ 0\ 1]_{\text{BCD}}.$$

$$[1999]_{10} \Leftrightarrow [0\ 0\ 0\ 1\ 1\ 0\ 0\ 1\ 1\ 0\ 0\ 1\ 1\ 0\ 0\ 1]_{\text{BCD}}.$$

4.6. Số bù

a. Số bù 1

Trong hệ cơ số 2 khi cho trước một số, tìm được một số khác sao cho tổng

của số đã cho và số vừa tìm được có các hàng đều bằng 1 thì số vừa tìm được gọi là số bù 1 của số đã cho.

Ví dụ:

* $[0]_2 \rightarrow$ Số bù 1 của nó là số $[1]_2$.

$$\begin{array}{r} \text{Vị} \\ + 0 \\ \underline{\quad} \\ 1 \end{array} \text{ và ng- ợc lại số } [1]_2 \text{ thì số bù của nó là số } [0]_2$$

* Cho số $[101]_2 \rightarrow$ tìm số bù 1 của số đã cho.

$$\begin{array}{r} + 101 \\ \underline{\text{x x x}} \\ \text{1 1 1} \end{array} \rightarrow \text{Số bù 1 của số } [101]_2 \text{ là } [010]_2$$

Nhận xét: Số bù 1 là số đảo của số đã cho.

b. Số bù 2:

Trong hệ cơ số 2 nếu cho trước một số, tìm được một số khác sao cho tổng của số đã cho với số tìm được có kết quả của các hàng đều bằng 0 nhưng có 1 hàng vượt ra ngoài nhận giá trị 1. Số tìm được gọi là số bù 2 của số đã cho.

Thí dụ: Cho số $[0]_2$ ta tìm số bù 2 của nó.

$$\begin{array}{r} + 0 \\ \underline{\text{x.}} \\ 10 \end{array} \rightarrow x = [10]_2 ; [10]_2 \text{ là số bù 2 của } [0]_2$$

- Cho số $[1]_2$ ta tìm số bù 2 của nó.

$$\begin{array}{r} + 1 \\ \underline{\text{x.}} \\ 10 \end{array} \rightarrow x = [1]_2 ; [1]_2 \text{ là số bù 2 của } [1]_2.$$

Nhận xét:

Số bù 2 của một số nhị phân chính bằng số bù 1 của nó cộng thêm 1.

§5. CÁC PHẦN TỬ LOGIC CƠ BẢN

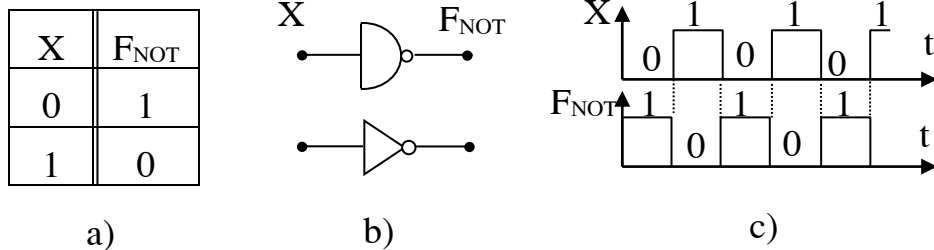
Các phép toán cơ bản của đại số logic có thể được thực hiện bằng các mạch

khoá điện tử (Tranzitor hoặc IC). Nét đặc tr- ng nhất của các phần tử logic ở đây là hai mức điện thế cao hoặc thấp của mạch khoá hoàn toàn cho một sự t- ong ứng đơn trị với hai trạng thái của biến hay hàm logic. Nếu sự t- ong ứng đ- ợc quy - ớc là điện thế thấp - trị "0" và điện thế cao - trị "1" ta gọi đó là logic d- ong. Trong tr- ờng hợp ng- ợc lại với quy - ớc mức thế thấp trị "1" và mức thế cao trị "0", ta có logic âm. Để đơn giản ở đây ta chỉ xét với mức logic d- ong.

5.1. Phần tử phủ định logic (phần tử đảo- NOT).

- Phần tử phủ định có 1 đầu vào biến và 1 đầu ra thực hiện hàm phủ định logic: $F_{NOT} = \bar{x}$

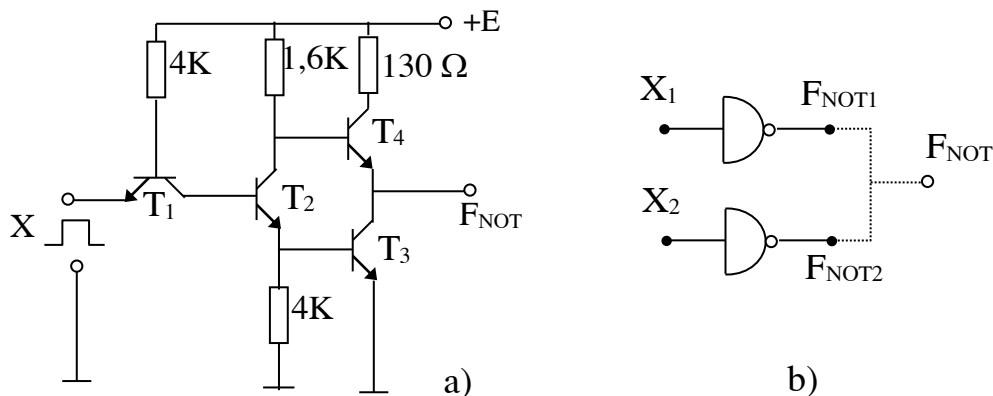
Tức là $F_{NOT} = 1$ khi $x = 0$ hoặc ng- ợc lại $F_{NOT} = 0$ khi $x = 1$. Bảng trạng thái, kí hiệu quy - ớc và giản đồ thời gian minh hoạ đ- ợc cho trên hình 1a, b, c t- ong ứng:



Hình 1: Bảng trạng thái (a); Ký hiệu quy - ớc (b); Giản đồ điện áp minh hoạ của phần tử NOT (c)

- Để thực hiện hàm F_{NOT} , có thể dùng một trong các sơ đồ mạch khoá (Tranzitor hay IC). Dựa trên tính chất đảo pha của một tầng EC đối với Tranzitor hay đối với đầu vào đảo của IC thuật toán. Mạch thực tế có phức tạp hơn để nâng cao khả năng làm việc tin cậy và chính xác. Hình 2 đ- a ra một sơ đồ đảo kiểu TTL(Tranzitor - Tranzitor - logic) hoàn thiện trong 1 vỏ IC số. Mạch ra của sơ đồ gồm 2 Tranzitor T_3 và T_4 làm việc ng- ợc pha nhau (ở chế độ khoá) nhờ tín hiệu lấy trên các lối ra phân tải của T_2 . Mạch vào của sơ đồ dùng Tranzitor T_1 mắc kiểu BC và tín hiệu vào (x) đ- ợc đ- a tới cực emitor của T_1 thể hiện là các xung điện áp cực tính d- ong (lúc $x = 1$) có biên độ lớn hơn mức U_H hoặc không có xung (lúc $x = 0$), điều khiển T_1 khoá (lúc $x = 1$) hay mở (lúc $x = 0$). Nghĩa là khi $x = 0$, T_1 mở, điện thế $U_{C1} = U_{B2}$ ở mức thấp $\rightarrow T_2$ khoá, điều này làm T_3 khoá (vì U_{E2} ở mức thấp) và T_4 mở (vì U_{C2} ở mức cao), kết quả là tại đầu ra, điện thế tại điểm A ở mức cao hay $F_{NOT} = 1$. Nhờ T_4 mở, mức điện thế tại A đ- ợc nâng

lên xấp xỉ nguồn +E (- u điểm hơn so với việc dùng điện trở R_{C3}) nên T_4 đ- ợc gọi là Tranzitor "kéo lên", điều này còn làm tăng khả năng chịu tải nhỏ hay dòng lớn cho tầng ra. Khi $x = 1$, tình hình sẽ ng- ợc lại T_1 khoá T_2 mở làm T_4 khoá và T_3 mở dẫn tới $F_{NOT} = 0$.



Hình 2: Bộ đảo TTL có hai đầu trạng thái kết cấu d- ới dạng một vi mạch số (a) kiểu mắc chung sai đầu ra cho hai phân tử NOT (b).

Ta có nhận xét sau:

Kết cấu mạch hình 2 không cho phép đấu chung các lối ra của hai phân tử đảo kiểu song song nhau vì khi đó nếu nếu $F_{NOT1} = 1$ và $F_{NOT2} = 0$ sẽ xảy ra ngắn mạch T_{41} với T_{32} hoặc ng- ợc lại. Lúc đó cần sử dụng phân tử NOT kiểu để hở colectơ T_3 (không có T_4) và dùng điện trở R_{C3} ở mạch ngoài.

Có thể kết cấu phân tử NOT từ 1 cặp MOSFET kênh n và kênh p (một loại th- ờng mở và một loại th- ờng khoá) nh- hình 3

Khi $x = 0$ ($U_{vào} = 0$) T_2 mở T_1 khoá.

$U_a = U_{DD}$ hay $F_{NOT} = 1$

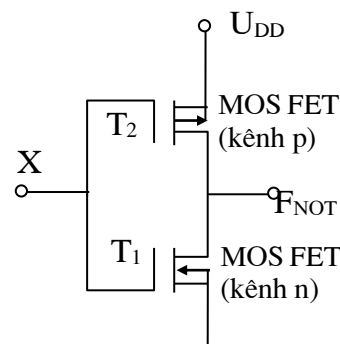
Khi $x = 1$ ($U_{vào} = U_{DD}$) T_2 khoá, T_1 mở.

$U_a \approx 0$ hay $F_{NOT} = 0$.

Sơ đồ hình 3 đ- ợc chế tạo trên công nghệ CMOS và có - u điểm là dòng tĩnh lối vào cũng nh- lối ra gần bằng 0.

5.2. Phân tử Và (AND): Là phân tử có nhiều đầu vào biến và một đầu ra thực hiện hàm nhân logic tức là hàm F_{AND} .

$$F_{AND} = X_1 X_2 X_3 \dots X_n$$

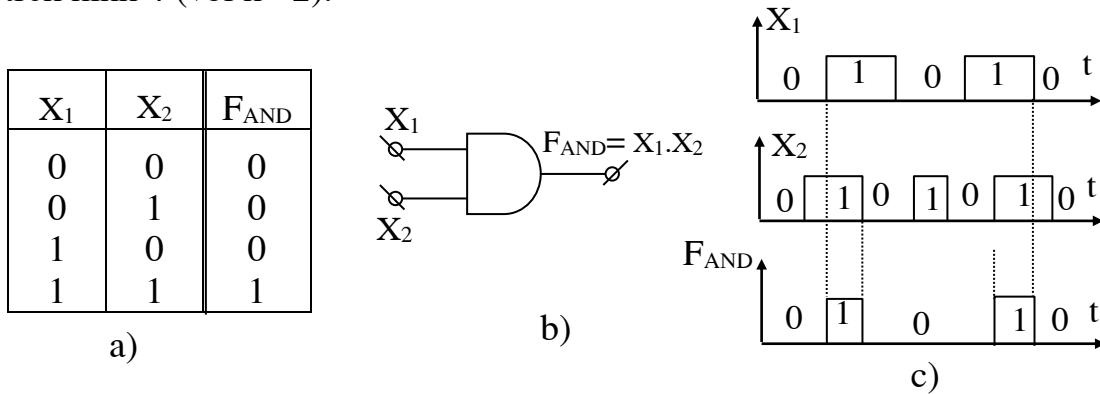


Hình 3: Sơ đồ NOT kiểu CMOS

$F_{AND} = 1$ khi và chỉ khi tất cả các biến x_i nhận trị 1.

$F_{AND} = 0$ khi ít nhất 1 trong các biến x_i nhận trị 0

Bảng trạng thái, kí hiệu quy - ớc và giản đồ thời gian minh hoạ của F_{AND} cho trên hình 4 (với $n = 2$).



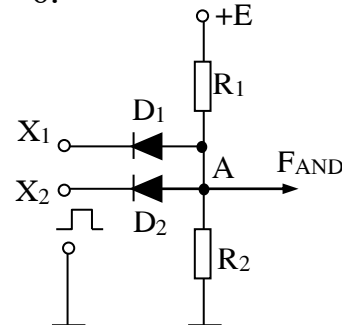
Hình 4: Bảng trạng thái (a) ký hiệu quy - ớc (b) và giản đồ thời gian (c) của phân tử AND

Mạch điện thực hiện F_{AND} loại đơn giản nhất dựa trên các khoá điôt cho trên hình 5, bình th- ờng khi $x_1 = x_2 = 0$ nhờ E qua phân áp $R_1 R_2$ có $U_A > 0$ các điôt $D_1 D_2$ đều mở, điện áp ra ở mức thấp (cỡ bằng sụt áp thuận của điôt) $F_{AND} = 0$, tình hình trên không thay đổi khi chỉ $x_1 = 0$ hoặc $x_2 = 0$.

Khi $x_1 = x_2 = 1$ (ứng với trạng thái các đầu vào có xung vuông biên độ lớn hơn U_A), các điôt đều khoá các nhánh đầu vào, lúc đó

$$U_A = \frac{E}{R_1 + R_2} \cdot R_2 \text{ ở thế cao } F_{AND} = 1$$

(khi $R_2 \gg R_1$)



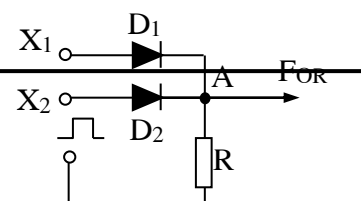
Hình 5: Sơ đồ nguyên lý mạch AND dựa trên điôt

L- u ý: Khi số l- ợng đầu vào nhiều hơn số biến, các đầu vào không dùng cần đ- ợc nối với +E để nhánh t- ơng ứng tách khỏi mạch (điôt khoá) tránh đ- ợc nhiễu với các đầu khác đang làm việc.

5.3. Phân tử hoặc (OR):

Là phân tử có nhiều đầu vào biến, một đầu ra thực hiện hàm cộng logic:

$$F_{OR} = X_1 + X_2 + \dots + X_n$$



$F_{OR} = 1$ khi ít nhất một trong các biến x_i nhận trị 1

$F_{OR} = 0$ khi tất cả các biến nhận trị 0:

$$x_1 = x_2 = \dots = x_n = 0$$

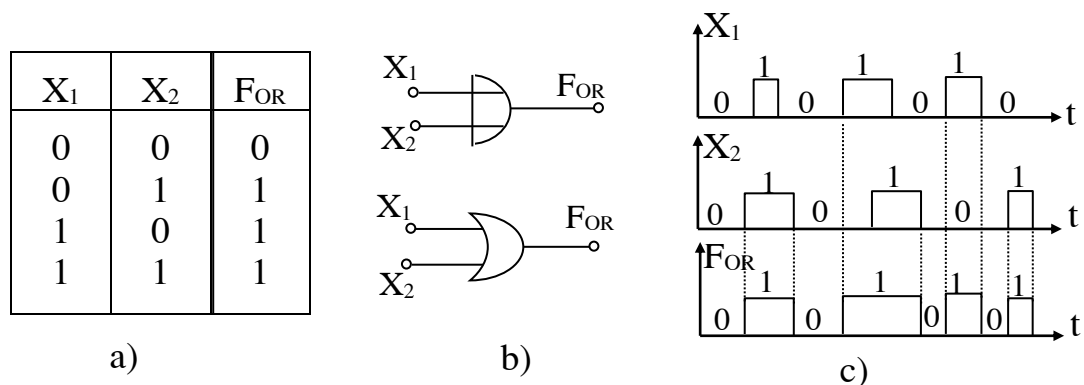
Bảng trạng thái, kí hiệu quy - ớc và đồ thị thời gian minh hoạ của F_{OR} cho trên hình 7

(cho với $n = 2$).

Có thể dùng khoá điôt thực hiện hàm F_{OR}

Bình th- ờng khi $x_1 = x_2 = 0$ các điôt đều khoá trên R không có dòng điện $U_{ra} = 0, F_{OR} = 0$. Khi ít nhất một đầu vào có xung d- ơng, điôt t- ơng ứng mở tạo dòng trên R do đó U_A ở mức cao hay $F_{OR} = 1$.

L- u ý: Khi số đầu vào nhiều hơn số biến, đầu vào không dùng đ- ợc nối mass để chống nhiễu.



Hình 7: Bảng trạng thái (a); Ký hiệu quy - ớc (b); và giản đồ thời gian (c) của phần tử OR

5.4. Phần tử và - phủ định (NAND)

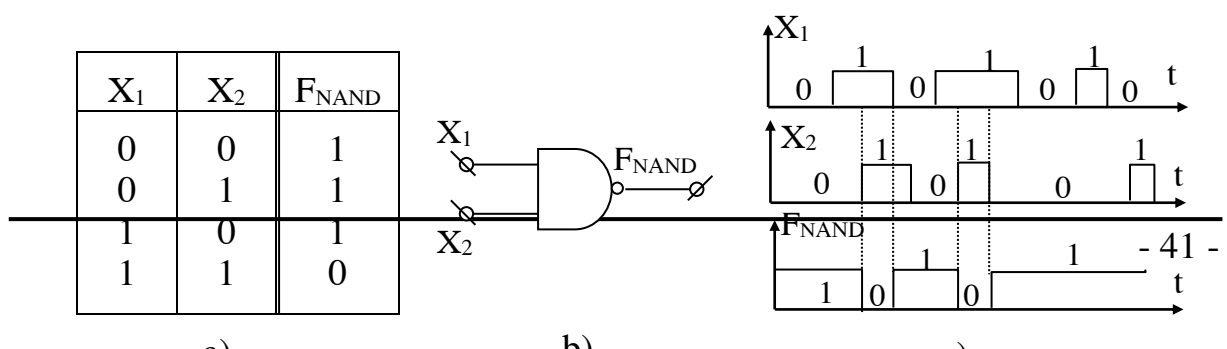
Là phần tử nhiều đầu vào biến, một đầu ra thực hiện hàm logic và - phủ định:

$$F_{NAND} = \overline{x_1 x_2 \dots x_n}$$

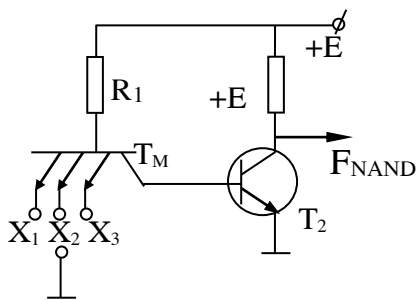
$F_{NAND} = 0$ khi tất cả các đầu vào biến có trị 1.

$F_{NAND} = 1$ trong các tr- ờng hợp còn lại.

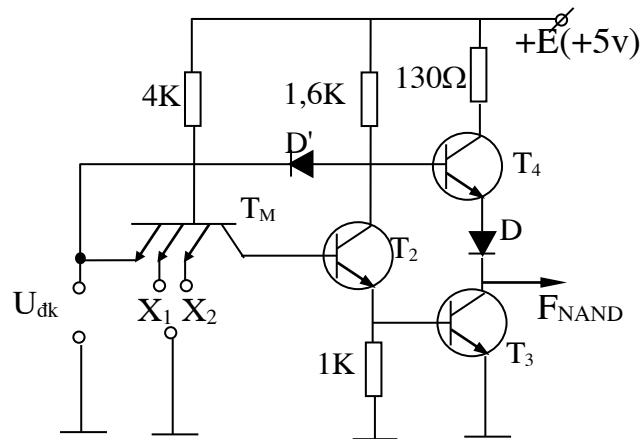
Hình 8: Đ- a ra bảng trạng thái, ký hiệu quy - ớc và đồ thị thời gian minh hoạ trong tr- ờng hợp $n = 2$.



Cũng như các phân tử NOT, OR, AND có thể thực hiện phân tử NAND bằng nhiều cách khác nhau dựa trên tất cả các công nghệ bán dẫn: loại điện trở Tranzitor - logic (RTL), loại điốt - Tranzitor - logic (DTL), loại Tranzitor - Tranzitor - logic (TTL) hay công nghệ MOS, CMOS ... Để minh họa, hình 9 đưa ra một phân tử NAND dựa trên công nghệ TTL, sử dụng loại Tranzitor nhiều cực emitor, có ưu điểm là bảo đảm mức logic tác động nhanh và khả năng tải lớn.



Hình 9: Nguyên lý xây dựng phân tử NAND loại TTL



Hình 10: Phân tử logic NAND TTL thực tế có đầu vào điều khiển (loại ba trạng thái ra ổn định)

Với mạch hình 9, khi tất cả lối vào có điện áp cao ($x_1 = x_2 = x_3 = 1$) T_M khoá $U_{CM} = U_{B2}$ ở mức cao làm T_2 mở, $F_{NAND} = 0$. Nếu chỉ một trong các lối vào có mức điện áp thấp tiếp giáp emitor - bazơ tương ứng của T_M mở làm mất dòng I_{B2} nên T_2 khoá : $F_{NAND} = 1$ thực tế T_2 được thay bằng 1 mạch ra (hình 10) dạng đẩy kéo tương tự hình 9 cho dòng ra lớn tăng khả năng chịu tải và chống nhiễu. Khi T_2 khoá T_3 cũng khoá (do $U_{E2} \approx 0$) $F_{NAND} = 1$ nhờ bộ lặp cực emitor T_4 trở kháng ra thấp tăng khả năng chịu tải cho toàn mạch.

Khi T_2 mở $\rightarrow T_3$ mở T_4 khoá, D tách nhánh T_4 khỏi mạch ra $F_{NAND} = 0$ (mức ra cỡ +0,1V).

Để điều khiển tầng ra có thể dùng một lối vào đặc biệt khi $U_{dk} \approx 0$ (mức

thấp) T_3, T_4 đều khoá (trạng thái ổn định thứ 3 của sơ đồ còn gọi là trạng thái trở kháng cao). Khi $U_{đk}$ ở mức cao điốt D' khoá, sơ đồ làm việc bình thường nh- đã phân tích ở trên với hai trạng thái ổn định còn lại. Tín hiệu $U_{đk}$ đ- ợc gọi là tín hiệu chọn vở (CS) tạo khả năng cho phép (lúc $CS = 1$) hay không cho phép (lúc $CS = 0$) mạch NAND làm việc, điều này đặc biệt thuận lợi khi điều khiển nhiều NAND làm việc chung với một lối ra.

5.5. Phần tử hoặc - phủ định (NOR):

Gồm nhiều đầu vào biến, một đầu ra thực hiện hàm logic hoặc - phủ định.

$$F_{NOR} = \overline{x_1 + x_2 + \dots + x_n}$$

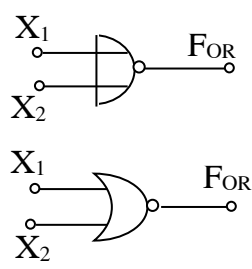
$F_{NOR} = 1$ khi mọi biến vào có trị số "0"

$F_{NOR} = 0$ trong các tr- ờng hợp còn lại.

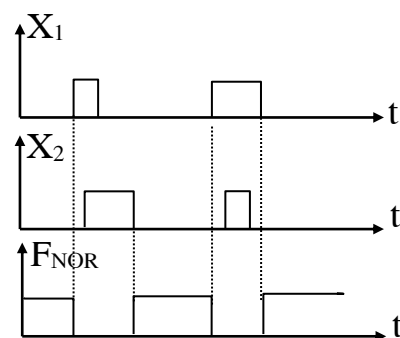
Bảng trạng thái, kí hiệu quy - ớc và giản đồ thời gian minh hoạ của F_{NOR} (với $n = 2$) cho trên hình 11.

X_1	X_2	F_{OR}
0	0	1
0	1	0
1	0	0
1	1	0

a)



b)



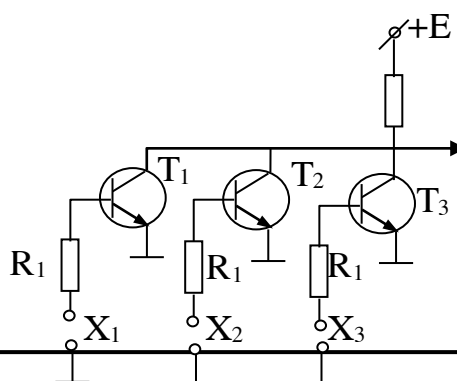
c)

Hình 11: Bảng trạng thái (a); Ký hiệu quy - ớc (b); và giản đồ thời gian (c) của phần tử NOR

Hình 12 cho kết cấu thực hiện F_{NOR} trên công nghệ RTL.

Khi ít nhất một trong các cửa vào có xung d- ơng mở, điện áp ra ở mức thấp $F_{NOR} = 0$, còn khi $x_1 = x_2 = \dots = x_n = 0$, do các Tranzitor đ- ợc thiết kế ở chế độ th- ờng khoá, tất cả các Tranzitor khoá $\rightarrow F_{NOR} = 1$ (l- u ý nếu thiết kế các Tranzitor th- ờng mở thì mạch hoạt động nh- một phân tử NAND với các xung vào cực tính âm điều khiển khoá các Tranzitor).

Có thể thực hiện phần tử NOR dựa



Hình 12: Phần tử NOR với cực colector hở

trên công nghệ MOS hoặc CMOS (từng cặp MOS_n và MOS_p với mỗi đầu ra) với nhiều - u điểm nổi bật: thời gian chuyển biến nhanh, không có dòng dò và tiêu thụ công suất cực bé.

§6. CÁC THÔNG SỐ ĐẶC TR- NG CỦA PHẦN TỬ LOGIC.

Để đánh giá đặc tính kỹ thuật và khả năng sử dụng của IC logic ng- òi ta

th- ờng sử dụng các tham số cơ bản sau:

- Tính tác động nhanh (phản ứng về thời gian của phân tử với sự biến đổi đột biến của tín hiệu) thể hiện qua thời gian trễ trung bình khi truyền tín hiệu

xung qua nó:

$$\tau_{tr\grave{e}} = \frac{t^+ + t^-}{2}$$

Trong đó:

t^+ : là thời gian trễ s- ờn tr- ớc chuyển mức logic "0" lên "1".

t^- : là thời gian trễ s- ờn sau khi chuyển mức logic "1" về "0".

Nếu $\tau_{tr\grave{e}} < 10^{-8}s$: loại phân tử cực nhanh.

$\tau_{tr\grave{e}} < 3.10^{-8}s$: loại nhanh.

$\tau_{tr\grave{e}} < 3.10^{-7}s$: loại trung bình.

$\tau_{tr\grave{e}} < 0,3 \mu s$: loại chậm.

- Khả năng sử dụng thể hiện qua số l- ợng đầu vào m và hệ số phân tải n ở đầu ra (số đầu vào của các phân tử logic khác có thể ghép với đầu ra của nó).

Th- ờng $n = 4 \div 10$, nếu có bộ khuếch đại đệm ở đầu ra có thể tăng $n = 20 \div 50$; $m = 2 \div 6$.

Ng- ời ta quy định với những phân tử logic loại TTL các mức điện áp (mức logic) cao và thấp nh- sau (với logic d- ờng).

- Dải đảm bảo mức "1" ở đầu ra : $+E \geq U_{ra} \geq 2,4(v)$.

- Dải đảm bảo mức "0" ở đầu ra : $0,4(v) \geq U_{ra} \geq 0(v)$.

- Dải đảm bảo mức "1" ở đầu vào : $+E \geq U_{v1} \geq 2(v)$.

- Dải đảm bảo mức "0" ở đầu vào : $0,8(v) \geq U_{v0} \geq 0(v)$.

Nh- vậy dự trữ chống nhiễu ở mức "1" là $2 \div 2,4 (v)$, dự trữ chống nhiễu ở mức "0" là $0,4 \div 0,8 (v)$.

- Độ chênh lệch cực tiểu giữa 2 mức logic tại đầu vào $0,8 \div 2(v)$.

§7. MỘT SỐ PHẦN TỬ LOGIC THÔNG DỤNG

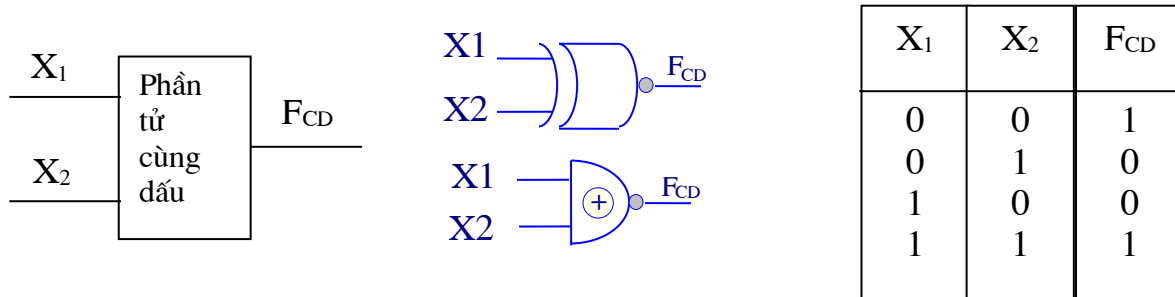
7.1. PHẦN TỬ T- ỜNG Đ- ỜNG (CÙNG DẤU).

Là phân tử logic có hai đầu vào biến (X_1, X_2), một đầu ra (F_{CD}). Quan hệ của

hàm ra với các biến vào thoả mãn ý t- ởng sau:

- Khi $X_1 = X_2$ hàm ra nhận trị “1” $\rightarrow F_{CD} = 1$.
- Khi $X_1 \neq X_2$ hàm ra nhận trị “0” $\rightarrow F_{CD} = 0$.

Hoạt động của phần tử cùng dấu đ- ợc trình bày ở bảng trạng thái hình 3.



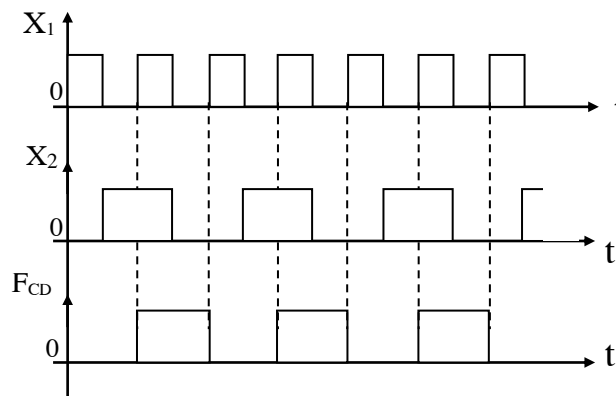
Hình 1: Mạch mô phỏng. **Hình 2:** Ký hiệu. **Hình 3:** Bảng trạng thái.

Từ bảng trạng thái ta có: $F_{CD} = \bar{X}_1 \cdot \bar{X}_2 + X_1 \cdot X_2 = \bar{X}_1 \oplus X_2$. (1)

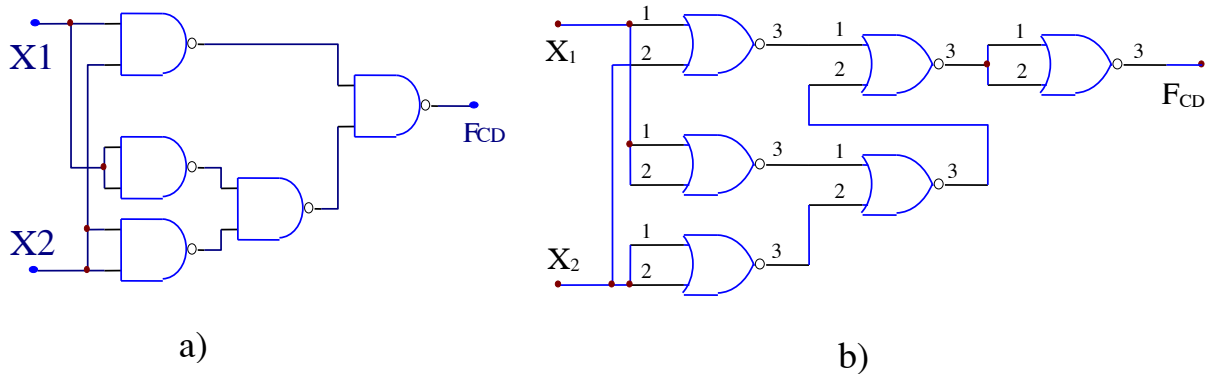
Biến đổi biểu thức (1) ta đ- ợc: $F_{CD} = \bar{\bar{X}_1 \cdot \bar{X}_2 + X_1 \cdot X_2} = \bar{\bar{X}_1 \cdot \bar{X}_2} \cdot \bar{X_1 \cdot X_2}$ (2).

$$F_{CD} = \bar{\bar{X}_1 \cdot \bar{X}_2} \cdot \bar{X_1 \cdot X_2} = \bar{\bar{X}_1} + \bar{\bar{X}_2} = X_1 + X_2 + \bar{X}_1 + \bar{X}_2 \quad (3)$$

Từ biểu thức (2), (3) ta nhận đ- ợc mạch điện của phần tử t- ơng đ- ơng (cùng dấu) đ- ợc xây dựng từ các phần tử NAND, (NOR) có hai lối vào.



Hình 4: Giải đồ xung.



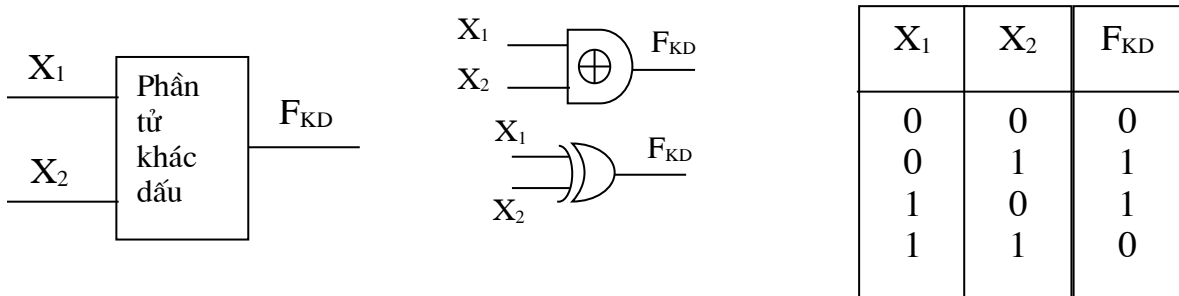
Hình 5: Phần tử t-ơng đ-ơng (cùng dấu) cấu trúc từ phần tử NAND (a) hoặc phần tử NOR (b)

7.2. PHẦN TỬ KHÁC DẤU (CỘNG MODUL 2).

Là phần tử logic có hai đầu vào biến (X₁, X₂), một đầu ra (F_{KD}). Quan hệ của hàm ra với các biến vào nh- sau:

- Khi X₁ = X₂ hàm ra nhận trị “0” → F_{KD} = 0.
- Khi X₁ ≠ X₂ hàm ra nhận trị “1” → F_{KD} = 1.

Hoạt động của phần tử khác dấu đ- ợc trình bày ở bảng trạng thái hình 8.



Hình 6: Mạch mô phỏng. **Hình 7:** Ký hiệu.

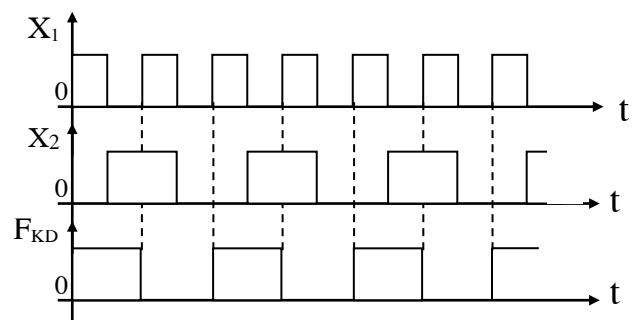
Hình 8: Bảng trạng thái.

Từ bảng trạng thái ta có: $F_{KD} = \bar{X}_1 \cdot X_2 + X_1 \cdot \bar{X}_2 = X_1 \oplus X_2 = \bar{F}_{CD}$. (1)

Mạch điện của phần tử khác dấu đ- ợc suy ra từ mạch điện của phần tử cùng dấu bằng cách mắc thêm vào đầu ra phần tử đảo.

Phép cộng modul 2 có tính chất sau:

Nếu $X_1 \oplus X_2 = X_3$ thì $X_1 \oplus X_3 = X_2$ và $X_3 \oplus X_2 = X_1$



Hình 9: Giải đồ xung.

CH- ONG II

CÁC MẠCH SỐ HỌC

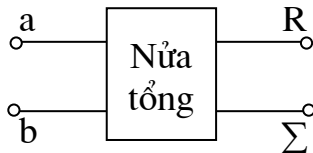
§1. BỘ CỘNG

1.1. Phần tử nửa tổng:

Là mạch logic có hai đầu vào biến a, b, hai đầu ra Σ , R với:

- a, b: hai số nhị phân 1 bit cần cộng.
- Σ : kết quả của phép cộng hai số nhị phân a, b.
- R: Kết quả nhớ của phép cộng hai số nhị phân nói trên.

Quá trình làm việc thỏa mãn bảng trạng thái hình 2 (bảng trạng thái đ-ợc xây dựng dựa trên cơ sở quy tắc của phép cộng hai số nhị phân 1 bit).



Hình 1: Mạch mô phỏng

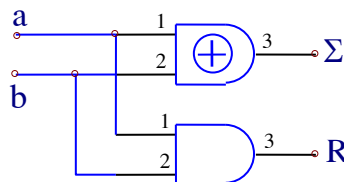
a	b	Σ	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Hình 2: Bảng trạng thái

Từ bảng trạng thái ta có hệ sau:

$$\begin{cases} \Sigma = \bar{a}.b + a.\bar{b} = a \oplus b \\ R = a.b \end{cases} \quad (1)$$

Từ (1) ta có mạch điện hình 3.



Hình 3: Cấu trúc của phần tử nửa tổng

Phần tử nửa tổng gồm một phần tử cộng

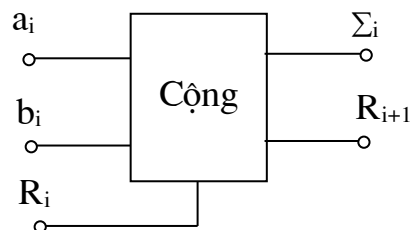
môđun 2 (thực hiện phép cộng) và 1 phần tử AND (kết quả nhớ của phép cộng)

1.2. Phần tử toàn tổng.

Gồm 3 đầu vào (hai đầu vào biến, một đầu vào kết quả nhớ của nhịp tr-ớc gửi tới) và 2 đầu ra (thực hiện cộng môđun 2 và tạo nhớ cho nhịp sau) thoả mãn bảng trạng thái Hình 5.

+R_i : Kết quả nhớ của nhịp tr-ớc đến.

+ R_{i+1} : Kết quả nhớ gửi đến nhịp sau.



Hình 4: Mạch điện mô phỏng

a_i	b_i	R_i	Σ_i	R_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Hình 5: Bảng trạng thái

Σ_i	R_i	$a_i b_i$	00	01	11	10
0	0	0	0	1	0	1
1	1	1	0	1	1	0

a)

R_{i+1}	R_i	$a_i b_i$	00	01	11	10
0	0	0	0	0	1	0
1	0	1	0	1	1	1

b)

Hình 6: Bìa các nô các hàm ra Σ_i, R_{i+1}

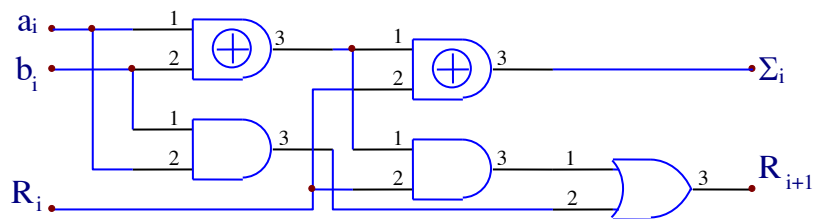
Từ hình 6a:

$$\begin{aligned} \Sigma_i &= \overline{R_i}(\overline{a_i} b_i + a_i \overline{b_i}) + R_i(\overline{a_i} \cdot \overline{b_i} + a_i b_i) = \overline{R_i}(a_i \oplus b_i) + R_i \overline{(a_i \oplus b_i)} \\ &= a_i \oplus b_i \oplus R_i \end{aligned} \quad (2)$$

Từ hình 6b:

$$R_{i+1} = a_i b_i + R_i(\overline{a_i} b_i + a_i \overline{b_i}) = a_i b_i + R_i(a_i \oplus b_i) \quad (3)$$

Từ (2) và (3) ta có mạch điện hình 7:



Hình 7: Bộ tổng đầy đủ đ-ợc cấu trúc từ hai phần tử nửa tổng và phần tử OR

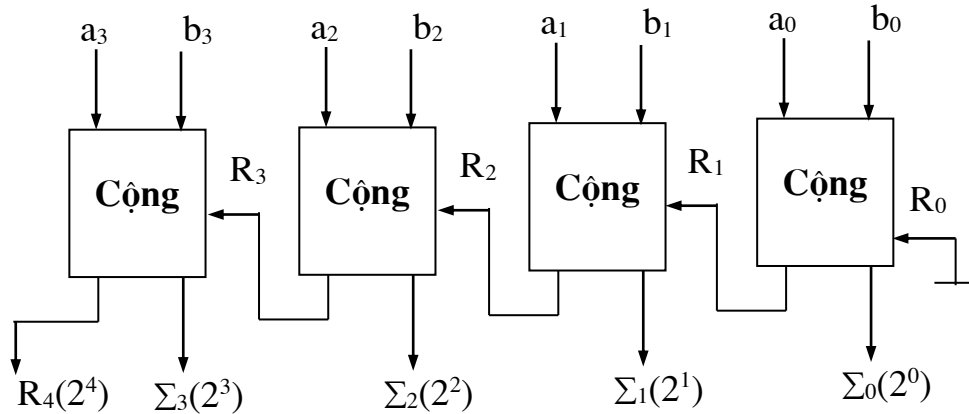
1.3. Phép cộng hai số nhị phân n bit:

Về nguyên tắc để thực hiện phép cộng hai số nhị phân n bit cần sử dụng n phần tử toàn tổng. Để đơn giản cho quá trình phân tích ta xét phép cộng hai số nhị phân 4 bit: $A = a_3 a_2 a_1 a_0$; $B = b_3 b_2 b_1 b_0$

Phải cần đến 4 phần tử cộng đủ để thực hiện phép tính này

$$\text{Kết quả} = R_4 \Sigma_3 \Sigma_2 \Sigma_1 \Sigma_0$$

$$\begin{array}{r}
 R_3 \uparrow \quad R_2 \uparrow \quad R_1 \uparrow \quad R_0 \\
 + \quad A=a_3 \quad a_2 \quad a_1 \quad a_0 \\
 \quad B=b_3 \quad b_2 \quad b_1 \quad b_0 \\
 \hline
 R_4 \quad R_3 \quad R_2 \quad R_1 \\
 R_4 \quad \Sigma_3 \quad \Sigma_2 \quad \Sigma_1 \quad \Sigma_0
 \end{array}$$



Hình 8: Bộ cộng song song hai số nhị phân 4 bit

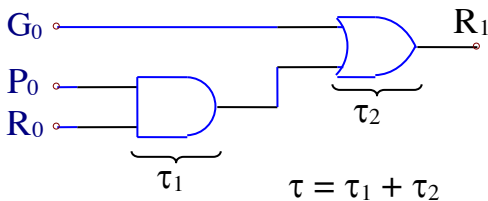
Với kết cấu hình 8, mạch có nhược điểm là đơn giản tuy nhiên có nhược điểm là độ tác động không nhanh vì phải chờ kết quả từ bit thấp đi lên phép cộng bit cao hơn kề nó. Để khắc phục nhược điểm này ta dùng bộ cộng song song tính trước số nhớ.

4. Bộ cộng song song tính trước số nhớ: (thời gian trễ không phụ thuộc vào chiều dài của bit).

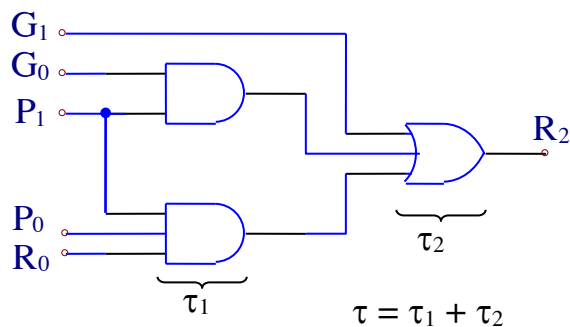
Từ (3) $\rightarrow R_{i+1} = a_i b_i + R_i (a_i \oplus b_i)$; Đặt $P_i = a_i \oplus b_i$ $G_i = a_i \cdot b_i$

Khi đó $R_{i+1} = G_i + R_i P_i$ (4) Khi $i = 0 \rightarrow R_1 = a_0 b_0 + R_0 P_0$ (5)

Từ (5) ta có mạch điện hình 9:



Hình 9



Hình 10

*Khi $i = 1 \rightarrow R_2 = G_1 + R_1 P_1$ (6). Thay R_1 từ (5) vào (6) ta có:

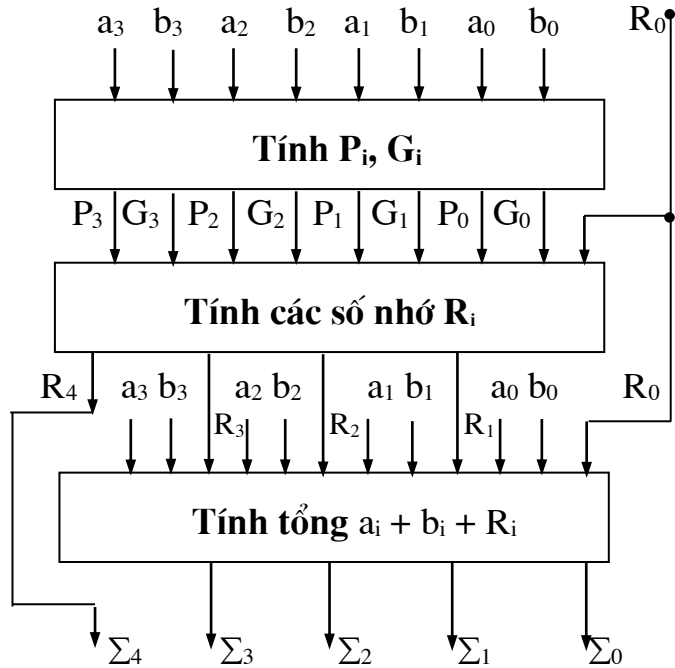
$$R_2 = G_1 + G_0P_1 + R_0P_0P_1 \quad (7). \quad \text{Từ (7)} \rightarrow \text{Mạch điện hình 10}$$

So sánh kết quả (thời gian trễ τ) của hình 9, hình 10 ta có kết luận : thời gian trễ không phụ thuộc vào độ dài của bit.

Nh- vậy theo ph- ơng pháp này trình tự các b- ớc đ- ợc tiến hành nh- sau:

- Tính P_i, G_i .
- Tính R_i .
- Tính tổng $a_i + b_i + R_i$

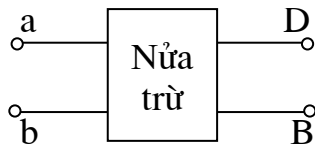
Hình 11: L- u đồ các bộ cộng song song 2 số nhị phân 4 bit có tính tr- ớc số nhớ



§2. BỘ TRỪ

2.1. Bộ nửa trừ (bán hiệu): Có hai đầu vào biến a, b và hai đầu ra D, B với:

a : số bị trừ ; b : số trừ ; D : kết quả của phép trừ ; B : kết quả nhớ (vay của phép trừ)



Hình 1: Mạch mô phỏng

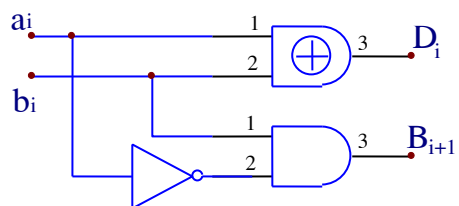
a	b	D	B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Hình 2: Bảng trạng thái

Từ bảng trạng thái ta có

$$\begin{cases} D = \bar{a}b + a\bar{b} = a \oplus b \\ B = \bar{a}.b \end{cases} \quad (1)$$

Từ (1) xây dựng mạch điện hình 3

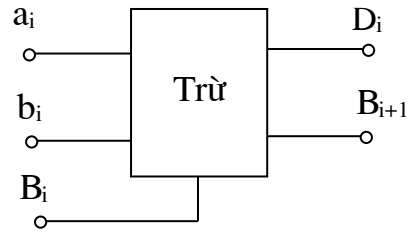


Hình 3: Cấu trúc phần tử nửa trừ

2.2. Bộ trừ đầy đủ:

Gồm 3 đầu vào (2 đầu vào biến, một đầu vào nhớ kết quả của nhịp tr-ớc gửi tới) 2 đầu ra (thực hiện phép trừ và tạo nhớ nhịp sau) thoả mãn bảng trạng thái hình 5.

- + a_i : số bị trừ.
- + b_i : số trừ .
- + D_i : hiệu số
- + B_i : Kết quả nhớ của nhịp tr-ớc gửi đến.
- + B_{i+1} : Kết quả nhớ gửi đến nhịp sau.



Hình 4: Mạch điện mô phỏng

a_i	b_i	B_i	D_i	B_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Hình 5: Bảng trạng thái

D_i	B_i	$a_i b_i$	00	01	11	10
0	0	0	0	1	0	1
1	1	1	0	1	1	0

B_{i+1}	B_i	$a_i b_i$	00	01	11	10
0	0	0	0	1	0	0
1	1	1	1	1	1	0

Hình 6: Bìa các nô các hàm ra D_i, B_{i+1}

Bảng trạng thái đ-ợc xây dựng dựa vào quy tắc của phép trừ 2 số nhị phân.

Từ hình 6a: $D_i = \bar{B}_i(\bar{a}_i b_i + a_i \bar{b}_i) + B_i(\bar{a}_i \bar{b}_i + a_i b_i)$

$$= \bar{B}_i(a_i \oplus b_i) + B_i(\overline{a_i \oplus b_i})$$

$$= (a_i \oplus b_i) \oplus B_i \quad (2)$$

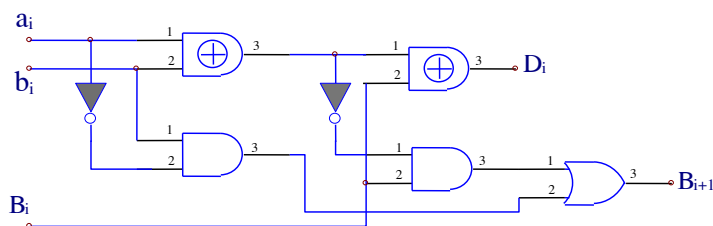
Từ hình 6b: $B_{i+1} = \bar{a}_i b_i + B_i(\bar{a}_i \bar{b}_i + a_i b_i)$

$$= \bar{a}_i b_i + B_i(\overline{a_i \oplus b_i}) \quad (3)$$

Từ (2) và (3) ta có mạch điện hình 7:

Hình 7:

Bộ trừ đầy đủ đ- ọc cấu trúc từ hai phần tử nửa trừ và phần tử OR

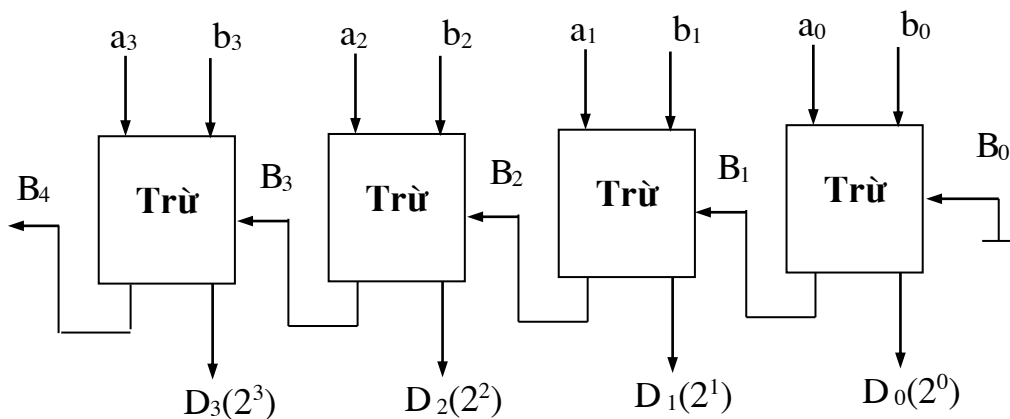


2.3. Phép trừ hai số nhị phân n bit.

Ta xét tr- ờng hợp phép trừ hai số nhị phân 4 bit.

Phải cần đến 4 phần tử trừ đủ để thực hiện phép tính trên

$$\begin{array}{r}
 A = a_3 \quad a_2 \quad a_1 \quad a_0 \\
 - B = b_3 \quad b_2 \quad b_1 \quad b_0 \\
 \hline
 B_3 \quad B_2 \quad B_1 \quad B_0 \\
 B_4 \quad B_3 \quad B_2 \quad B_1 \\
 \hline
 \text{Kết quả} = D_3 \quad D_2 \quad D_1 \quad D_0
 \end{array}$$



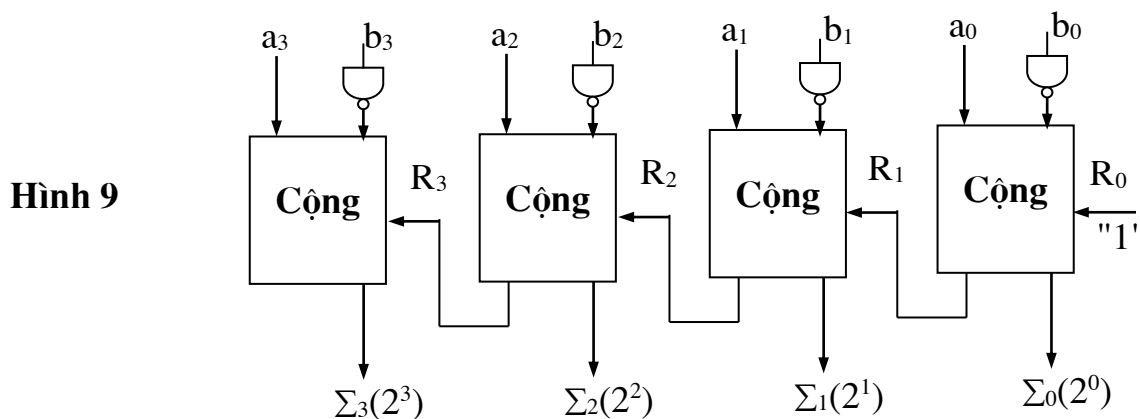
Hình 8: Bộ trừ hai số nhị phân 4 bit

2.4. Dùng phần tử toàn tổng thực hiện phép trừ hai số nhị phân.

Xuất phát: $A - B = A + \text{bù 2 của } B = A + [(\text{bù 1 của } B) + 1]$ ta có mạch điện sau:

Hình 9: Dùng 4 phần tử toàn tổng thực hiện phép trừ 2 số nhị phân 4 bit

Kết quả của phép trừ = $\Sigma_3 \Sigma_2 \Sigma_1 \Sigma_0$ (bỏ kết quả nhớ R₄).



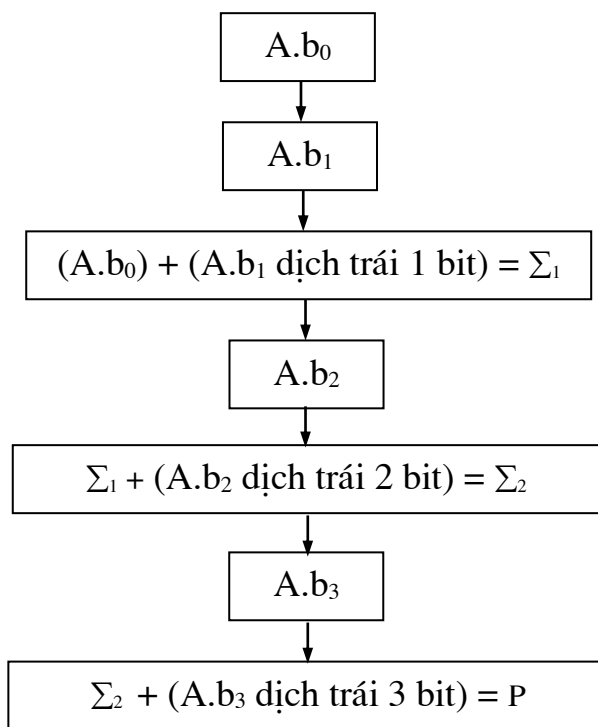
Hình 9

§3. BỘ NHÂN

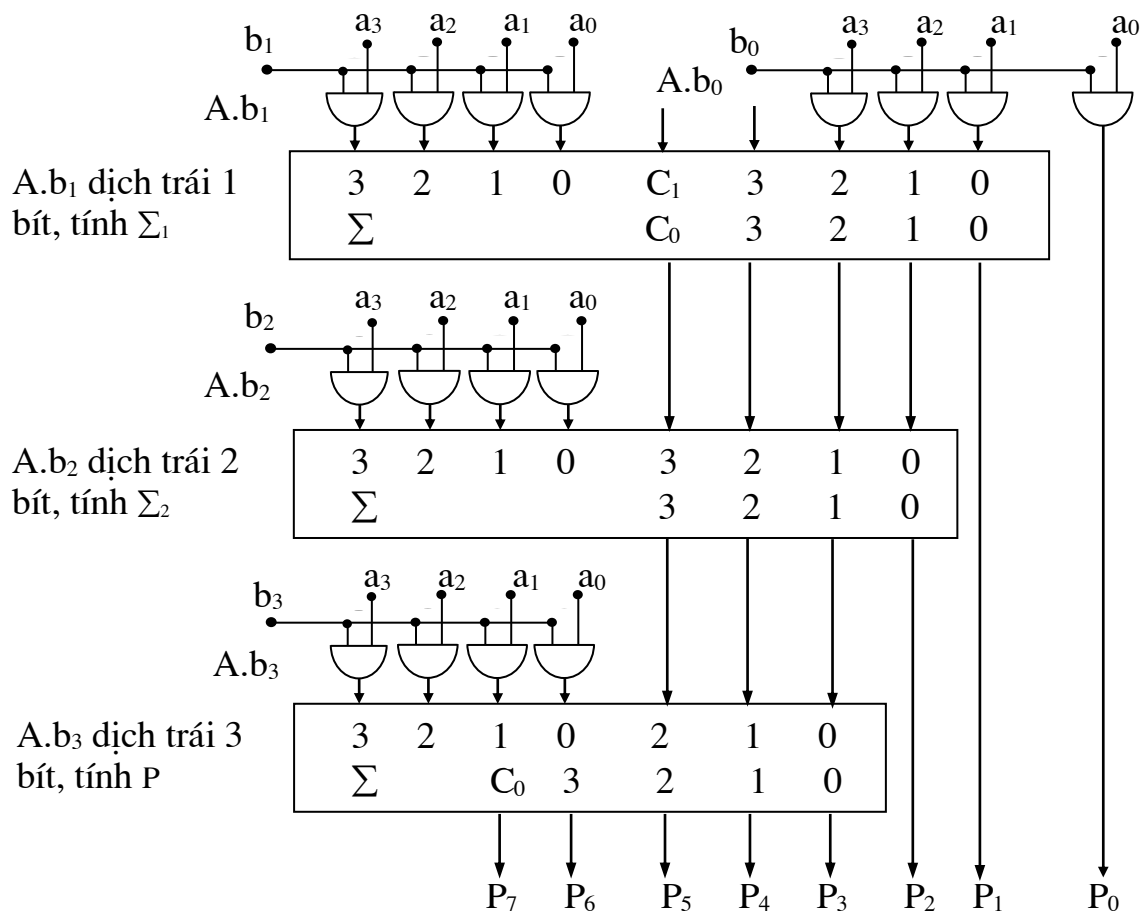
Ta thực hiện phép nhân hai số nhị phân 4 bit.

$$\begin{array}{r}
 A = a_3 a_2 a_1 a_0 \\
 B = b_3 b_2 b_1 b_0 \\
 \hline
 A.b_0 \qquad \qquad \qquad a_3 b_0 \ a_2 b_0 \ a_1 b_0 \ a_0 b_0 \\
 A.b_1 \text{ Dịch trái một bit} \quad \leftarrow + \qquad a_3 b_1 \ a_2 b_1 \ a_1 b_1 \ a_0 b_1 \\
 A.b_2 \text{ Dịch trái một bit} \quad \leftarrow \qquad \qquad a_3 b_2 \ a_2 b_2 \ a_1 b_2 \ a_0 b_2 \\
 A.b_3 \text{ Dịch trái một bit} \quad \leftarrow \qquad \qquad \qquad a_3 b_3 \ a_2 b_3 \ a_1 b_3 \ a_0 b_3 \\
 \hline
 \begin{array}{cccccccc}
 & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\
 P_7 & P_6 & P_5 & P_4 & P_3 & P_2 & P_1 & P_0
 \end{array}
 \end{array}$$

Từ phép nhân trên ta đưa ra l- u đồ thuật toán nh- sau:



Từ l- u đồ thuật toán ta triển khai mạch điện cụ thể hơn.



§4. BỘ SO SÁNH

Thực hiện thuật toán so sánh hai số nhị phân:

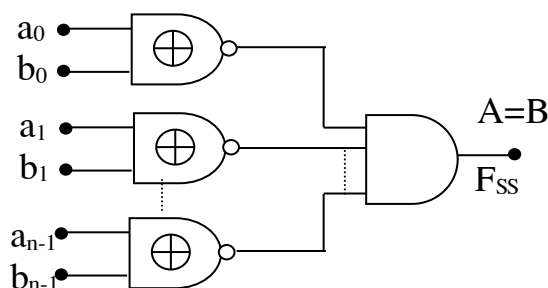
$$A_n = (a_{n-1}a_{n-2}\dots a_1a_0)_2 ; B_n = (b_{n-1}b_{n-2}\dots b_1b_0)_2$$

Kết quả so sánh phát hiện ra một trong ba trạng thái có thể xảy ra:

Hoặc $A_n < B_n$ hoặc $A_n = B_n$ hoặc $A_n > B_n$.

4.1. Phép so sánh bằng nhau:

Để thực hiện việc so sánh bằng nhau của 2 số nhị phân n bit ta dùng n phân tử t-ơng đ-ơng cùng dấu kết hợp với một phân tử AND n lối vào. Hai bit có trọng số t-ơng ứng (cùng chỉ số) đ-ợc so sánh với nhau bởi một phân tử cùng dấu.



Hình 1: Mạch so sánh bằng nhau của hai số nhị phân n bit.

$$F_{ss} = 1 \text{ khi } A = B; F_{ss} = 0 \text{ khi } A \neq B$$

Khi tất cả các bit có trọng số t - ứng của hai số nhị phân cùng giá trị, các đầu ra của các phân tử cùng dấu đều nhận trị "1", qua mạch AND thì F_{SS} nhận trị "1" ($A = B$). Chỉ cần có ít nhất một sự sai khác về trị số của 2 bit có trọng số t - ứng thì F_{SS} nhận trị "0" ($A \neq B$).

4.2. Phần tử so sánh vạn năng hai số nhị phân một bit

Có 3 đầu vào E_i, a_i, b_i , 3 đầu ra S_i, E_{i-1}, I_i .

E_i : Tín hiệu cho phép (Enable)

+ $E_i = 0$: Không cho phép so sánh,

khi đó các đầu ra đều nhận trị "0".

+ $E_i = 1$: Cho phép so sánh.

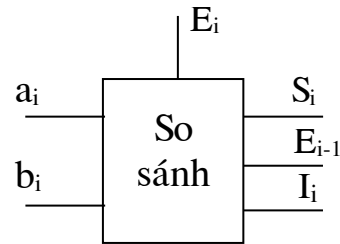
Khi $E_i = 1$:

- $a_i > b_i \rightarrow S_i = "1"; E_{i-1}, I_i$ đều nhận trị "0".

- $a_i = b_i \rightarrow E_{i-1} = "1"; S_i, I_i$ đều nhận trị "0"

- $a_i < b_i \rightarrow I_i = "1"; S_i, E_{i-1}$ đều nhận trị "0"

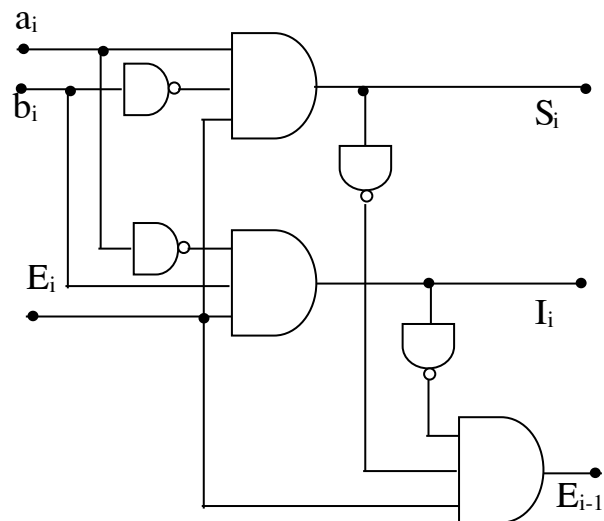
Qua các ý t- ởng trên ta xây dựng bảng trạng thái hình 3.



Hình 2: Mạch mô phỏng

E_i	a_i	b_i	S_i	E_{i-1}	I_i
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	0	1	0

Hình 3: Bảng trạng thái



Hình 4: Mạch điện thực hiện

Từ bảng trạng thái ta xác định đ- ợc quan hệ của các hàm ra với các biến vào nh- sau:

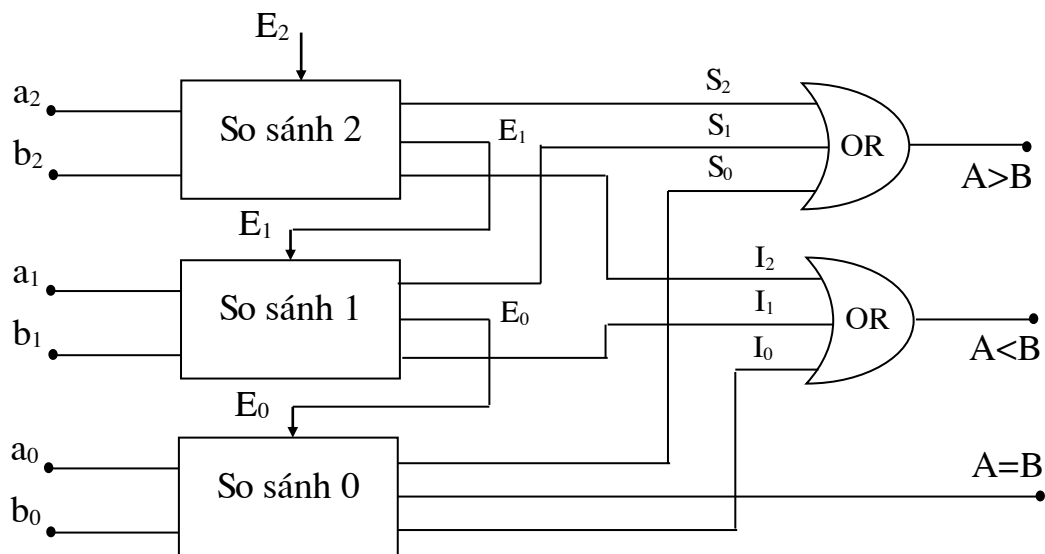
$$S_i = E_i \cdot a_i \cdot \bar{b}_i \quad (1); \quad I_i = E_i \cdot \bar{a}_i \cdot b_i \quad (2); \quad E_{i-1} = E_i \cdot (\bar{a}_i \cdot \bar{b}_i + a_i \cdot b_i) \quad (3);$$

$$E_{i-1} = E_i \cdot \overline{(a_i \oplus b_i)} = E_i \cdot \overline{(S_i + I_i)} = E_i \cdot \bar{S}_i \cdot \bar{I}_i \quad (4)$$

Từ các biểu thức trên cho phép ta xây dựng đ-ợc mạch điện hình 4.

4.3. Mạch điện so sánh vạn năng hai số nhị phân n bit

Về nguyên tắc ta phải dùng n phần tử so sánh vạn năng 2 số nhị phân 1 bit, việc so sánh bắt đầu đ-ợc thực hiện từ cặp bit có trị số lớn nhất. Để đơn giản cho quá trình phân tích ta xét mạch so sánh vạn năng (so sánh đủ) 2 số nhị phân 3 bit



Hình 5: Bộ so sánh vạn năng 2 số nhị phân 3 bit

Để bắt đầu quá trình so sánh ta cho E_2 nhận trị "1", quá trình so sánh thực hiện xong, kết quả của quá trình so sánh đ-ợc thể hiện ở các trạng thái logic của các đầu ra.

CH- ƠNG III CÁC MẠCH TRIGƠ

Trigơ (Flip - Flop) là phần tử cơ bản nhất để từ đó chế tạo ra các mạch dây (mạch logic có nhớ). Mạch Trigơ thuộc loại mạch không đồng bộ có hai trạng thái ổn định bền theo thời gian ứng với hai mức logic "1" và "0". Trạng thái của Trigơ có thể thay đổi khi tác động xung lên các đầu vào. Trạng thái t-ơng lai của Trigơ không những phụ thuộc vào các biến vào mà còn phụ thuộc vào trạng thái hiện tại. Khi ngừng tác động xung lên các đầu vào, trạng thái Trigơ giữ nguyên, với đặc điểm này các mạch Trigơ đ-ợc dùng để l-u trữ thông tin d-ới dạng mã nhị phân.

§1. TRIGƠ R-S

1.1. Trigơ R-S không đồng bộ:

Là loại Trigơ cơ bản nhất để từ đó tạo ra các loại Trigơ khác gồm có 2 đầu vào là R, S và hai đầu ra Q, \bar{Q} với:

- Q: Đầu ra chính th-ờng đ-ợc sử dụng.
- \bar{Q} : Đầu ra phụ, luôn thoả mãn $Q + \bar{Q} = 1$
- R (Reset): Đầu vào xoá.
- S (Set): Đầu vào thiết lập.

□ t-ơng thiết kế trigơ R-S không đồng bộ theo các điều kiện sau:

+ $R_n = S_n = 0$, trạng thái của trigơ giữ nguyên $\rightarrow Q_{n+1} = Q_n$.

+ $R_n = 0$; $S_n = 1$ đầu ra trigơ nhận giá trị "1" $\rightarrow Q_{n+1} = 1$.

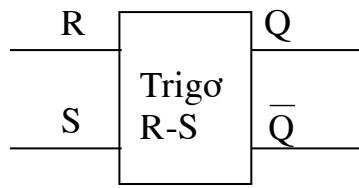
+ $R_n = 1$; $S_n = 0$ đầu ra trigơ nhận giá trị "0" $\rightarrow Q_{n+1} = 0$.

+ $R_n = 1$; $S_n = 1$ đây là trạng thái cấm, trạng thái Trigơ là không xác định, trong bảng trạng thái đ-ợc đánh dấu bằng dấu "X".

Hoạt động của trigơ R-S tuân theo bảng trạng thái nh- hình vẽ.

- n: Trạng thái hiện tại
- n + 1: Trạng thái t-ơng lai.
- "-": Giá trị tùy chọn - có thể lấy giá trị "1" hoặc "0".

- x: Trạng thái cấm tại đó giá trị của hàm ra là không xác định.



Hình 1: Sơ đồ mô phỏng

R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	x

Hình 2: Bảng trạng thái

Q_{n+1} \ R_n, S_n	Q_n			
	00	01	11	10
0	0	1	x	0
1	1	1	x	0

Hình 3: Bảng chuyển tiếp.

Q_n	Q_{n+1}	R_n	S_n
0	0	-	0
0	1	0	1
1	0	1	0
1	1	0	-

Hình 4: Bảng đầu vào kích.

Từ bảng trạng thái hình 2, ta có bảng chuyển tiếp hình 3, bảng kích hình 4. Thực hiện nhóm các ô có giá trị “1” trong bảng trạng thái (dạng tuyển) ta có:

$$Q_{n+1} = S_n + \overline{R_n} \cdot Q_n \quad (1)$$

Nhóm các ô có giá trị “0” trong bảng trạng thái (dạng hội) ta có:

$$Q_{n+1} = \overline{R_n} \cdot (Q_n + S_n) \quad (2)$$

$$\text{Từ (1)} \rightarrow Q_{n+1} = \overline{\overline{S_n + Q_n \cdot R_n}} = \overline{\overline{S_n} \cdot \overline{Q_n \cdot R_n}} \quad (3)$$

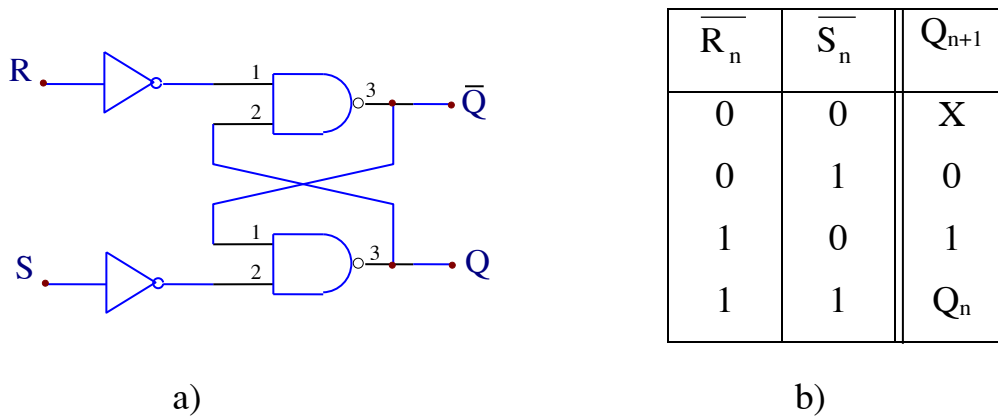
$$\begin{aligned} \text{Từ (2)} \rightarrow Q_{n+1} &= \overline{\overline{R_n} \cdot (Q_n + S_n)}} = \overline{\overline{R_n} \cdot \overline{Q_n \cdot S_n}} \\ &\rightarrow \overline{\overline{R_n} \cdot \overline{Q_n \cdot S_n}} \quad (4) \end{aligned}$$

$$\text{Từ (2)} \rightarrow Q_{n+1} = \overline{\overline{R_n} \cdot (Q_n + S_n)}} = \overline{\overline{R_n} + \overline{Q_n + S_n}} \quad (5)$$

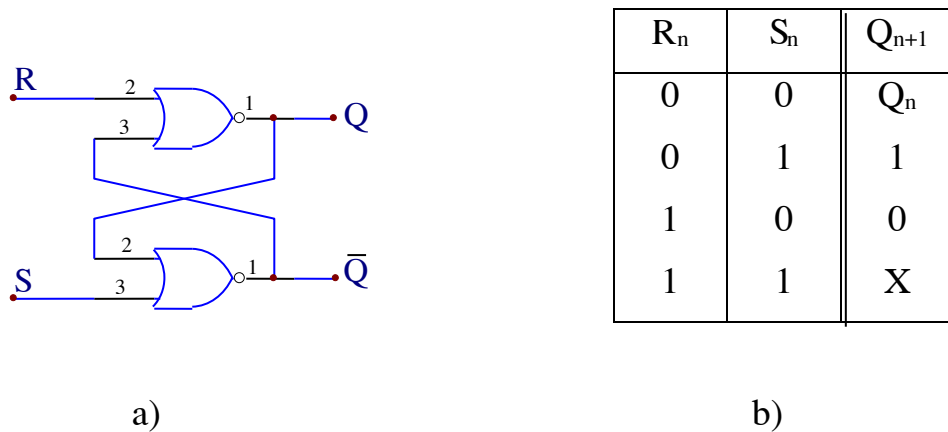
$$\begin{aligned} \text{Từ (1)} \rightarrow Q_{n+1} &= \overline{\overline{S_n + R_n \cdot Q_n}}} = \overline{\overline{S_n} + \overline{Q_n + R_n}} \\ \overline{\overline{S_n} + \overline{Q_n + R_n}} &= \overline{\overline{S_n} + \overline{Q_n} + \overline{R_n}} \quad (6) \end{aligned}$$

Từ (3) và (4), (5) và (6) cho phép ta xây dựng Trigơ RS không đồng bộ từ

các phần tử NAND, các phần tử NOR hai lối vào.



Hình 5 : Trơ RS xây dựng từ NAND (a) và bảng trạng thái (b)

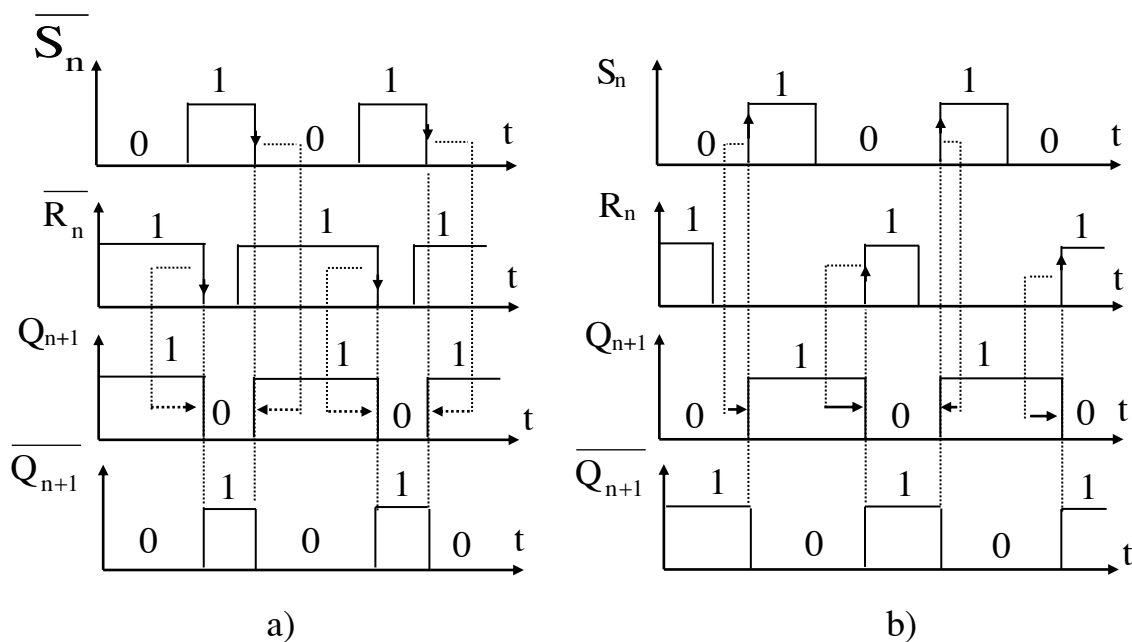


Hình 6 : Trơ RS xây dựng từ NOR (a) và bảng trạng thái (b)

Với các tín hiệu xung vào $\overline{R}_n, \overline{S}_n$ và R_n, S_n đã cho kết hợp với các bảng trạng thái hình 5b, 6b ta vẽ đ-ợc dạng xung ra của các Trơ R-S không đồng bộ (hình 7). Trên giản đồ xung ta có nhận xét:

- Đối với Trơ R-S đ-ợc xây dựng từ các phần tử NAND trạng thái Trơ chỉ thay đổi (lật) ở các thời điểm xung điều khiển chuyển từ trị "1" về "0". Ta nói đó là loại Trơ chỉ phản ứng với các *s-đơn âm* của xung điều khiển đặt tới lối vào.

Đối với Trơ đ-ợc xây dựng từ các phần tử NOR trạng thái của Trơ chỉ thay đổi ở các thời điểm xung điều khiển chuyển từ trị "0" lên "1" ta nó đó là loại Trơ chỉ phản ứng với các *s-đơn dương* của xung điều khiển.



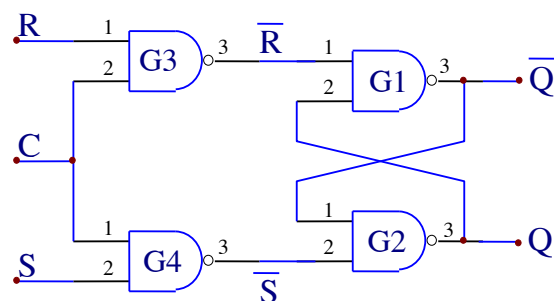
Hình 7: Giải đồ điện áp tín hiệu xung minh họa quá trình làm việc của Trơ R-S đ-ợc xây dựng từ NAND (a), từ NOR (b)

1.2. Trơ R-S đồng bộ.

Ng-ời ta muốn Trơ chỉ phản ứng vào những thời điểm xác định, điều này đ-ợc thực hiện bằng cách đ-a thêm tới đầu vào tín hiệu phụ C đ-ợc gọi là tín hiệu đồng bộ.

- Khi $C = "0"$ thì $\overline{R} = \overline{S} = 1$ trạng thái Trơ giữ nguyên.

- Khi $C = "1"$ hoạt động của sơ đồ giống nh- Trơ R-S không đồng bộ nh- đã phân tích ở phần trên.



Hình 8: Trơ R-S đồng bộ

§2. TRIGƠ D (DELAY)

Gồm có hai đầu vào C, D_n và hai đầu ra Q_n, \bar{Q}_n với:

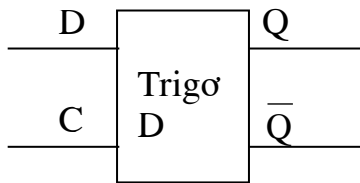
- C: Biến điều khiển (xung nhịp - xung đồng bộ)
- D_n: Dữ liệu vào.

□ t- ởng thiết kế trigơ D tuân theo các điều kiện sau:

+ Khi C = 0, trạng thái của trigơ giữ nguyên → Q_{n+1} = Q_n.

+ Khi C = 1, giá trị đầu ra trigơ nhận giá trị đ- a đến đầu vào D → Q_{n+1} = D_n.

Hoạt động của trigơ D tuân theo bảng trạng thái nh- hình 2.



Hình 1: Sơ đồ mô phỏng trigơ D.

C	D _n	Q _{n+1}
0	0	Q _n
0	1	Q _n
1	0	0
1	1	1

Hình 2: Bảng trạng thái của trigơ D.

Q _{n+1} C, D _n	Q _n			
	00	01	11	10
0	0	0	1	0
1	1	1	1	0

Hình 3: Bảng chuyển tiếp.

Q _n	Q _{n+1}	C	D
0	0	0	-
0	1	1	1
1	0	1	0
1	1	0	-

Hình 4: Bảng đầu vào kích.

Từ bảng trạng thái hình 2 ta có bảng chuyển tiếp hình 3, bảng kích hình 4.

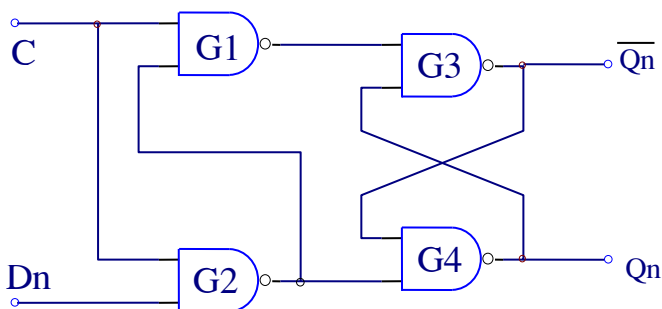
Thực hiện nhóm các ô có giá trị “1” trong bảng trạng thái (dạng tuyển) ta có:

$$\begin{aligned}
 Q_{n+1} &= C.D_n + Q_n.\bar{C} + Q_n.D_n = C.D_n + Q_n \left[\overline{\overline{C + D_n}} \right] = C.D_n + Q_n.\overline{\overline{C.D_n}} \\
 &= \overline{\overline{C.D_n}} + \overline{\overline{Q_n.C.C.D_n}} = \overline{\overline{C.D_n}}.\overline{\overline{Q_n.C.C.D_n}}. \quad (1)
 \end{aligned}$$

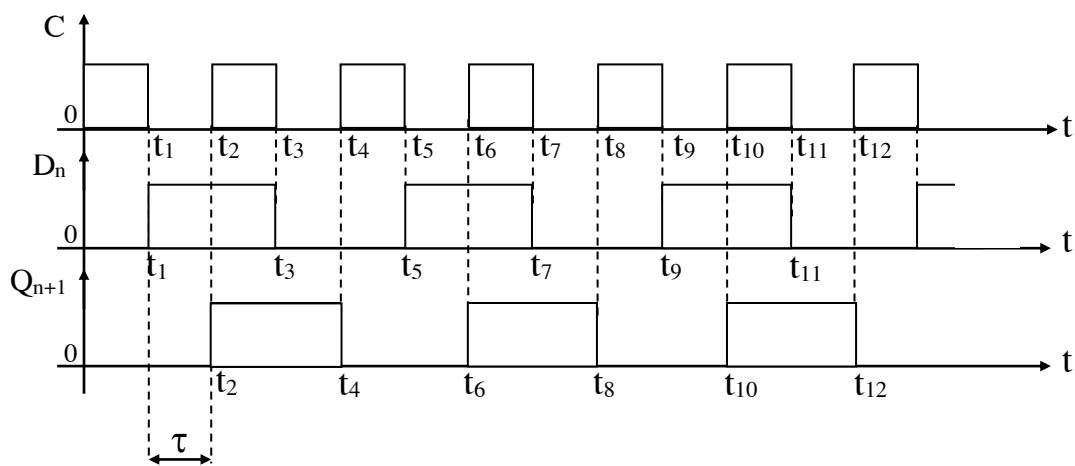
Thực hiện nhóm các ô có giá trị “0” trong bảng trạng thái (dạng hội) ta có:

$$\begin{aligned}
 Q_{n+1} &= [\overline{C} + D_n][Q_n + C][Q_n + D_n] = [\overline{C} + D_n][Q_n + Q_n \cdot D_n + Q_n \cdot C + C \cdot D_n] \\
 &= [\overline{C} + D_n][Q_n(1 + D_n + C) + C \cdot D_n] = \overline{(\overline{C} + D_n)} \cdot \overline{(Q_n + C \cdot D_n)} = \overline{C \cdot D_n} \cdot \overline{Q_n \cdot C \cdot D_n} = \overline{C \cdot C \cdot D_n} \cdot \overline{Q_n \cdot C \cdot D_n} \\
 &\Rightarrow \overline{Q_{n+1}} = \overline{\overline{C \cdot C \cdot D_n} \cdot \overline{Q_n \cdot C \cdot D_n}} \quad (2)
 \end{aligned}$$

Từ các biểu thức (1) và (2) ta có mạch điện của trigơ D đ-ợc xây dựng từ các phần tử NAND hai lối vào.



Hình 5: Trigơ D đ-ợc xây dựng từ các phần tử NAND.



Hình 6: Giản đồ xung minh họa quá trình làm việc của Trigơ D.

Trên giản đồ xung ta nhận thấy xung ra chậm sau so với xung vào một khoảng thời gian là τ (chính vì đặc điểm này mà ng-ời ta gọi nó là trigơ trễ D-Delay), ở giản đồ trên độ rộng xung ra bằng chu kỳ của dãy xung C.

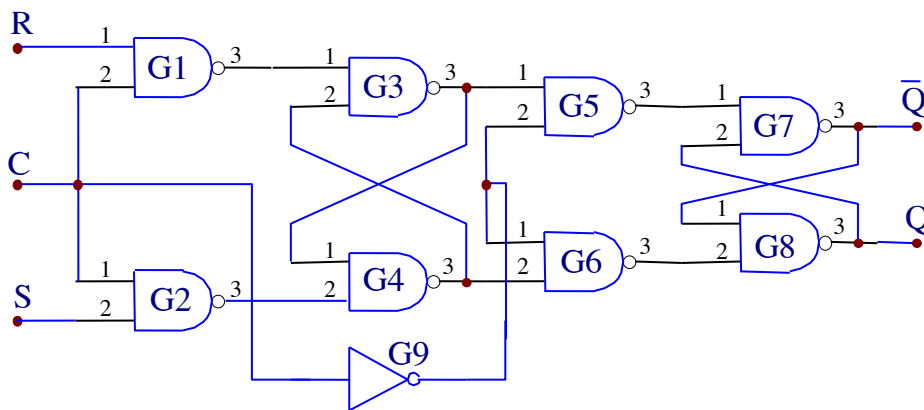
Trigơ D là phần tử cơ bản xây dựng nên các bộ ghi thông tin nhị phân, các bộ chốt đệm dữ liệu (khi $C = 1$ thực hiện nhận dữ liệu — chế độ đệm, $C = 0$ trạng

thái trigơ không đổi — chốt dữ liệu).

§3. TRIGƠ CHÍNH - PHỤ (Trigơ M - S)

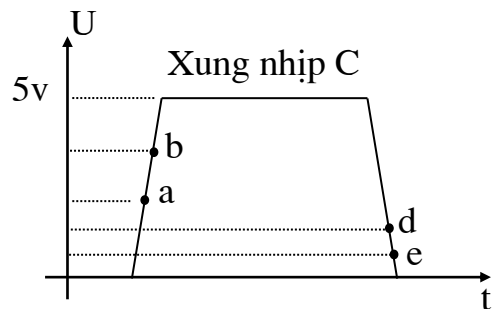
Thông thường để tránh ảnh hưởng của nhiễu, tăng độ tin cậy trong việc ghi đọc thông tin, từ R-S Trigơ ng-ời ta xây dựng các M-S Trigơ bằng cách ghép hai Trigơ R-S đồng bộ liên tiếp nhau (hình 1). Khi đó việc ghi thông tin chỉ xảy ra khi lối ra bị khoá và ng-ọc lại việc đọc thông tin chỉ xảy ra khi lối vào đã bị khoá.

Nhóm các phân tử G_1, G_2, G_3, G_4 tạo nên R-S Trigơ chính, nhóm G_5, G_6, G_7, G_8 tạo nên R-S Trigơ phụ. Hai nhóm làm việc với hai dãy xung nhịp C ng-ợc pha nhau nhờ cửa đảo G_9 . Đây chỉ minh hoạ cho quá trình ghi và đọc thông tin qua giản đồ thời gian của xung nhịp C (hình 2).



Hình 1: Trigơ M-S cấu trúc từ phân tử NAND

Tại s-ờn d-ơng khi biên độ xung tăng t-ơng ứng với điểm a Trigơ phụ ngắt khỏi Trigơ chính nhờ $\bar{C} = "0"$ khoá G_5, G_6 . khi biên độ xung tăng tới mức b thông tin đặt tới lối vào sẽ đ-ợc ghi vào Trigơ chính. Tại s-ờn âm khi biên độ xung giảm tới mức d Trigơ chính bị ngắt khỏi lối vào nhờ khi đó $C = 0$ khoá G_1, G_2 , lúc đạt tới mức e thông tin đ-ợc chuyển từ Trigơ chính sang Trigơ phụ (do $\bar{C} = "1"$) và đặt tới lối ra Q (sự thay đổi trạng thái ở lối ra chỉ xảy ra trên s-ờn âm của xung nhịp C)



Hình 2: Quá trình ghi, đọc thông tin đ-ợc điều khiển bởi xung nhịp C

§4. TRIGƠ VẠN NĂNG J-K

Gồm có 3 đầu vào C, J_n, K_n và hai đầu ra Q_n, \overline{Q}_n với:

- C: Xung đồng bộ.
- J_n, K_n: Các đầu vào điều khiển.

□ t- ởng thiết kế trigơ vạn năng J, K theo các điều kiện sau:

+ K_n = J_n = 0, trạng thái của trigơ giữ nguyên → Q_{n+1} = Q_n.

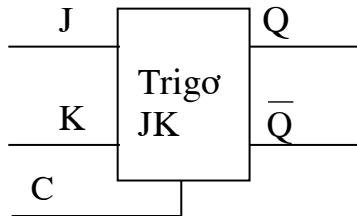
+ K_n = 0; J_n = 1 đầu ra trigơ nhận giá trị "1" → Q_{n+1} = 1.

+ K_n = 1; J_n = 0 đầu ra trigơ nhận giá trị "0" → Q_{n+1} = 0.

+ K_n = 1; J_n = 1 trigơ lật trạng thái → Q_{n+1} = \overline{Q}_n .

(Các trạng thái trên xảy ra tại các thời điểm xung đồng bộ C chuyển trạng thái từ "1" về "0" nếu nh- Trigơ đ- ọc xây dựng từ các phần tử NAND)

Hoạt động của trigơ vạn năng J-K tuân theo bảng trạng thái nh- hình vẽ.



Hình 1: Sơ đồ mô phỏng

K _n	J _n	Q _{n+1}
0	0	Q _n
0	1	1
1	0	0
1	1	\overline{Q}_n

Hình 2: Bảng trạng thái

Q _{n+1} \ Q _n	K _n J _n			
	00	01	11	10
0	0	1	1	0
1	1	1	0	0

Hình 3: Bảng chuyển tiếp.

Q _n	Q _{n+1}	K _n	J _n
0	0	-	0
0	1	-	1
1	0	1	-
1	1	0	-

Hình 4: Bảng đầu vào kích.

Từ bảng trạng thái hình 2 ta có bảng chuyển tiếp hình 3, bảng kích hình 4.

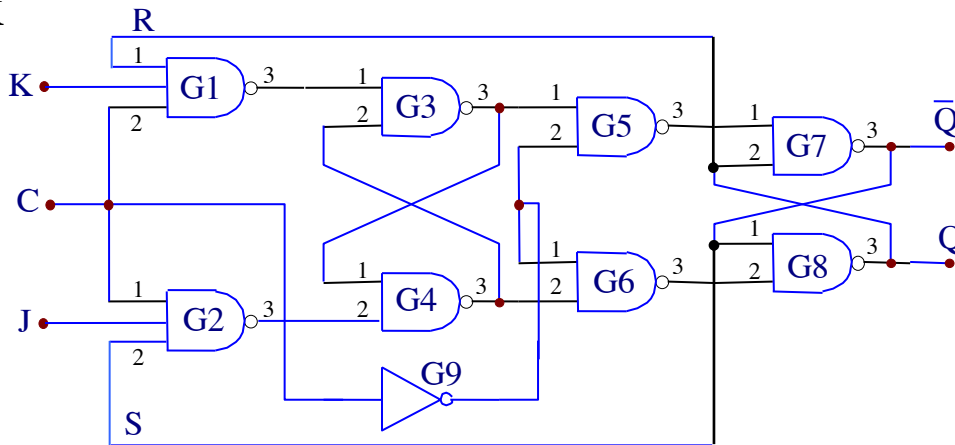
Thực hiện nhóm các ô có giá trị "1" trong bảng trạng thái (dạng tuyến) ta có:

$$Q_{n+1} = \overline{K}_n \cdot Q_n + J_n \cdot \overline{Q}_n \quad (1)$$

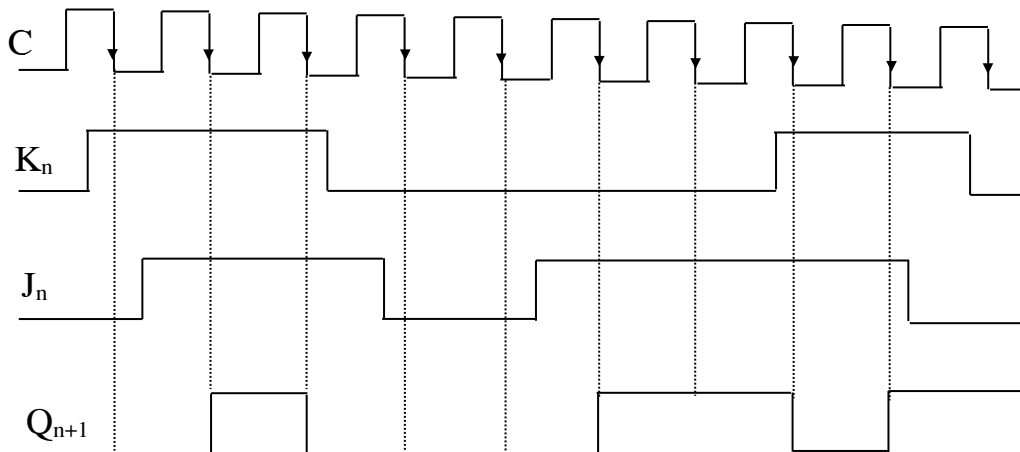
Nhóm các ô có giá trị “0” trong bảng trạng thái (dạng hội) ta có:

$$Q_{n+1} = (\overline{K_n} + \overline{Q_n}).(J_n + Q_n) \quad (2)$$

Các biểu thức (1) hoặc (2) đ-ợc gọi là ph-ơng trình đặc tính của Trơ vậ năng J-K



Hình 5: Trơ vậ năng J-K đ-ợc xây dựng từ các phần tử NAND.



Hình 6: Giản đồ xung minh họa quá trình làm việc của Trơ vậ J-K

Nhờ hai mạch vòng hồi tiếp $Q = R, \overline{Q} = S$ nên khi $J = K = 1$ thì tín hiệu ra bị đảo qua mỗi s-ờn âm của xung đồng bộ. Để tăng khả năng điều khiển của Trơ vậ ng-ời ta chế tạo có nhiều đầu vào J, K, điều này đ-ợc thực hiện bằng cách chọn các cổng logic G1, G2 có nhiều đầu vào, trong mạch điện sử dụng số đầu vào J, K không dùng đến sẽ đ-ợc nối với mức logic "1" để chống nhiễu.

Đ-ợc gọi là Trơ vậ năng là vì bằng cách thay đổi cách nối các đầu vào J, K và mức logic của chúng sẽ tạo ra các loại Trơ vậ khác.

§5. TRIGƠ ĐẾM T

Có hai đầu vào T, C, hai đầu ra Q, \bar{Q} .

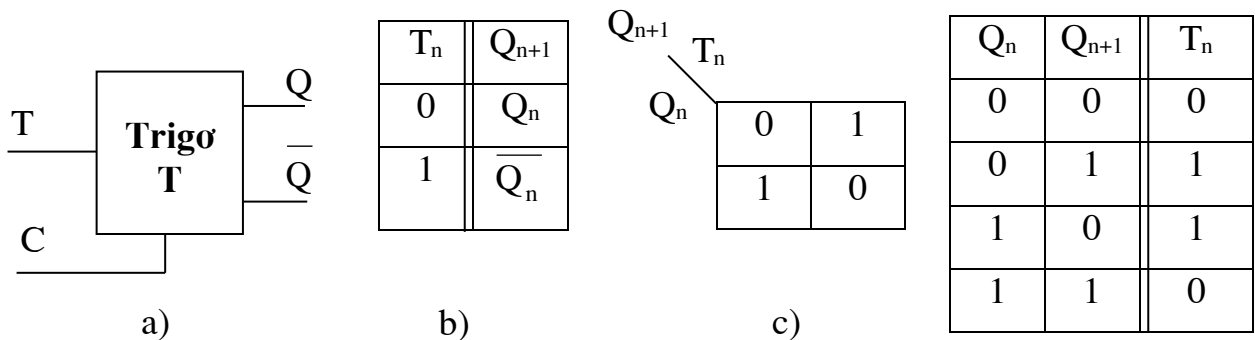
C: Xung đồng bộ (xung nhịp).

T: Biến điều khiển, thoả mãn yêu cầu sau:

+ T = "0" trạng thái Trigo giữ nguyên $\rightarrow Q_{n+1} = Q_n$.

+ T = "1" Trigo lật trạng thái $\rightarrow Q_{n+1} = \bar{Q}_n$.

Nh- vậy hoạt động của Trigo đếm T tuân theo bảng trạng thái nh- hình 1b



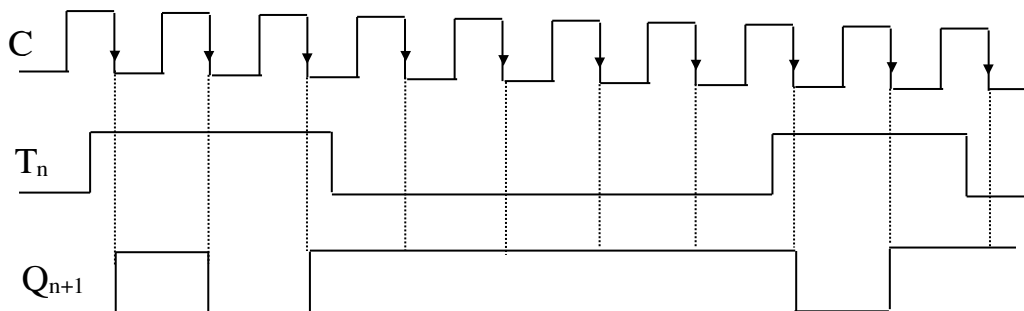
Hình 1: a) Mạch mô phỏng; b) Bảng trạng thái;
c) Bảng chuyển tiếp; d) Bảng kích

Từ bảng trạng thái ta có bảng chuyển tiếp hình 1c, bảng kích hình 1d.

Từ bảng chuyển tiếp ta có: $Q_{n+1} = T_n \cdot \bar{Q}_n + \bar{T}_n \cdot Q_n$ (1)

$$Q_{n+1} = (T_n + Q_n) \cdot (\bar{T}_n + \bar{Q}_n) \quad (2)$$

Biểu thức (1) và (2) đ- ợc gọi là ph- ơng trình đặc tính của Trigo đếm T.



Hình 2: Giải đồ xung của Trigo đếm T

§6. CHUYỂN ĐỔI TRIGƠ VẠN NĂNG J-K THÀNH CÁC LOẠI TRIGƠ KHÁC.

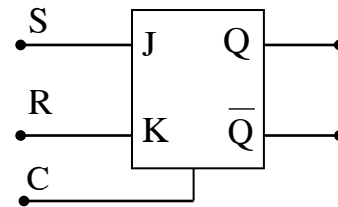
6.1. Chuyển đổi Trigo J-K thành Trigo R-S

Ph-ong trình đặc tính của Trigo J-K: $Q_{n+1} = \overline{K}_n \cdot Q_n + J_n \cdot \overline{Q}_n$ (1)

Ph-ong trình đặc tính của Trigo R-S: $Q_{n+1} = S_n + \overline{R}_n \cdot Q_n$ (2)

Từ (2) $\rightarrow Q_{n+1} = S_n \cdot (\overline{Q}_n + Q_n) + \overline{R}_n \cdot Q_n = S_n \cdot \overline{Q}_n + S_n \cdot Q_n + \overline{R}_n \cdot Q_n$
 $= S_n \cdot \overline{Q}_n + \overline{R}_n \cdot Q_n + S_n \cdot Q_n \cdot (\overline{R}_n + R_n) = S_n \cdot \overline{Q}_n + \overline{R}_n \cdot Q_n + S_n \cdot Q_n \cdot R_n + S_n \cdot Q_n \cdot \overline{R}_n$
 $= S_n \cdot \overline{Q}_n + \overline{R}_n \cdot Q_n (1 + S_n) + S_n \cdot Q_n \cdot R_n$
 $= S_n \cdot \overline{Q}_n + \overline{R}_n \cdot Q_n \quad (3)$

So sánh (1) và (3) $\rightarrow S_n = J_n ; R_n = K_n$.



6.2. Chuyển đổi Trigo J-K thành Trigo D

Ph-ong trình đặc tính của Trigo D: $Q_{n+1} = D_n$ (4)

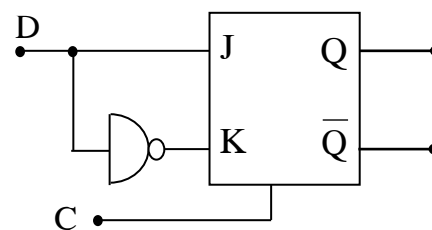
Từ (4) $\rightarrow Q_{n+1} = D_n \cdot (Q_n + \overline{Q}_n) = D_n \cdot Q_n + D_n \cdot \overline{Q}_n$ (5)

So sánh (1) và (5) $\rightarrow D_n = J_n = \overline{K}_n$

(Nhờ phân tử đảo mà ở sơ đồ bên luôn đảm bảo $J \neq K$, mặt khác từ bảng trạng thái của Trigo vạn năng JK ta thấy khi $J \neq K$ thì đầu ra Q luôn thay đổi theo J, mà $D = J$

$\rightarrow Q_{n+1} = D_n$)

Nối Trigo J-K thành R-S



Nối Trigo J-K thành D

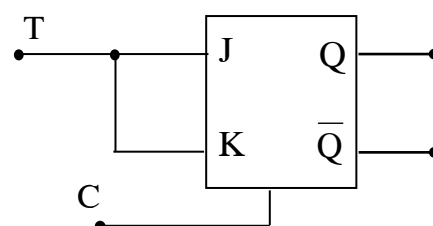
6.3. Chuyển đổi Trigo J-K thành Trigo đếm T

Ph-ong trình đặc tính của Trigo đếm T :

$Q_{n+1} = \overline{T}_n \cdot Q_n + T_n \cdot \overline{Q}_n$ (6)

So sánh (1) và (6) $\rightarrow T_n = J_n = K_n$

+ Khi $T = 0 \rightarrow J = K = 0$ trạng thái



Nối Trigo J-K thành T

Trigơ giữ nguyên $Q_{n+1} = Q_n$;

+ Khi $T = 1 \rightarrow J = K = 1$ Trigơ lật trạng thái: $Q_{n+1} = \overline{Q_n}$

Chương IV: BỘ ĐẾM

Tiến hành ghép liên tiếp các Trigơ đếm T ta đ-ợc bộ đếm thực hiện chức năng đếm số l-ợng xung đ- a tới đầu vào. Tùy thuộc vào kết cấu của bộ đếm mà có thể thực hiện đếm thuận (cộng số l-ợng xung đầu vào), đếm ng-ợc (trừ xung) hoặc đếm thuận ng-ợc.

Tổng quát một bộ đếm đếm đ-ợc (n - 1) xung còn xung thứ n sẽ đ- a bộ đếm về trạng thái ban đầu, ta nói số l-ợng xung đếm đ-ợc là (n - 1) xung, bộ đếm có mô đun đếm là n . Bộ đếm mô đun 2 (Trigơ đếm T) là bộ đếm cơ sở để từ đó xây dựng nên các bộ đếm có mô đun bất kỳ. Kết quả (số l-ợng xung đếm đ-ợc) đ-ợc lấy từ các đầu ra của bộ đếm và đ-ợc biểu diễn d-ới dạng mã nhị phân.

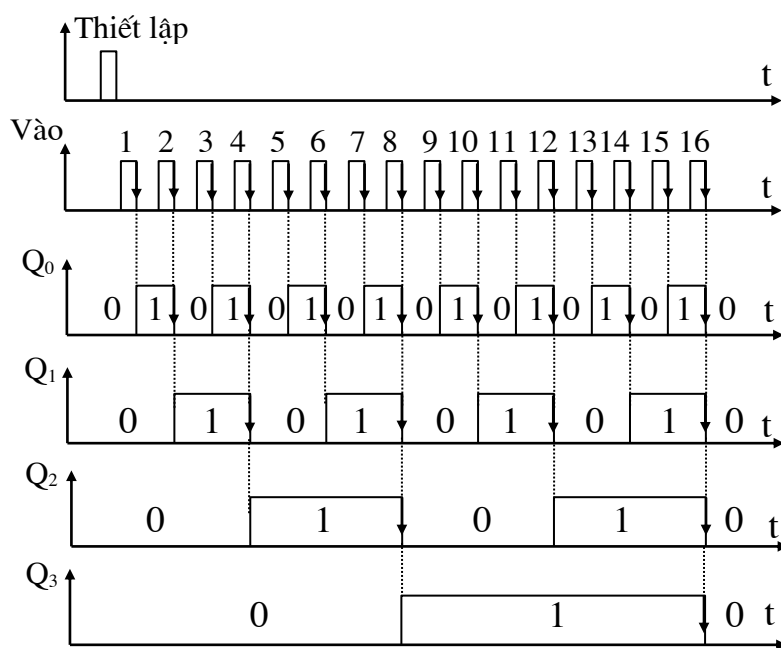
§1. CÁC BỘ ĐẾM NHỊ PHÂN.

Ghép liên tiếp N trigơ đếm T ta đ-ợc một bộ đếm nhị phân có mô đun đếm là 2^N , dung l-ợng bộ đếm (số xung tối đa bộ đếm có thể đếm đ-ợc) là $2^N - 1$. Trong thực tế với nhiều lý do khác nhau th-ờng $N = 4$ khi đó ta có bộ đếm nhị phân 4 bit, mô đun 16, dung l-ợng đếm là 15 xung. Giản đồ xung và bảng trạng thái minh họa quá trình làm việc của bộ đếm này đ-ợc thể hiện ở các hình vẽ sau.

Từ bảng trạng thái (hình 2) ta có các nhận xét sau:

a. Trạng thái của một trigơ bất kỳ sẽ chỉ lật khi đầu ra Q của trigơ cấp thấp hơn kề nó chuyển giá trị từ 1 về 0.

Với nhận xét này cho phép ta chế tạo bộ đếm nhị phân không đồng bộ



Hình 1: Giản đồ thời gian minh họa hoạt động của bộ đếm nhị phân thuận 4 bit, mô đun 16 (lập với s-ờn âm)

(bộ đếm nối tiếp).

b. Trạng thái của một trigơ bất kỳ sẽ chỉ lật khi tất cả các đầu ra Q của các trigơ cấp thấp hơn đều nhận giá trị 1.

Với nhận xét này cho phép ta xây dựng bộ đếm nhị phân đồng bộ (bộ đếm song song)

1.1. Bộ đếm nhị phân kiểu nối tiếp

(không đồng bộ).

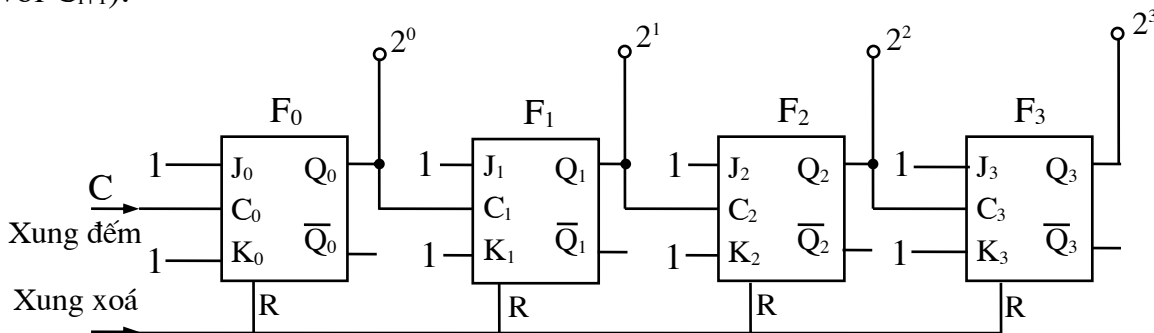
Hình 3 là cấu trúc của bộ đếm nhị phân thuận, môđun 16 kiểu nối tiếp dùng các trigơ JK dạng MS $F_0 \div F_3$ (cấu tạo từ các phân tử NAND) nối thành trigơ đếm T thực hiện chức năng bảng trạng thái hình 2.

Các đặc điểm chính của bộ đếm hình 3 là:

- Xung cần đếm đ-ợc đ- a vào một cách tuần tự tại lối vào đồng bộ (cửa C) của trigơ đầu tiên F_0 . Đầu ra Q của trigơ tr-ớc đ-ợc nối với đầu vào đồng bộ C của trigơ tiếp theo cấp cao hơn (Q_i nối với C_{i+1}).

Số xung vào	Trạng thái trigơ đếm			
	(2^3)	(2^2)	(2^1)	(2^0)
	F_3	F_2	F_1	F_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

Hình 2: Bảng trạng thái các trigơ đếm của bộ đếm nhị phân thuận 4 bit môđun 16.



Hình 3 : Bộ đếm nhị phân không đồng bộ (nối tiếp) thuận, môđun 16 dùng 4 Trigơ JK loại MS nối tiếp kiểu Trigơ đếm.

- Xung xoá phải xuất hiện tr-ớc dãy xung đếm để thiết lập trạng thái ban

đầu $Q_0 = Q_1 = Q_2 = Q_3 = "0"$.

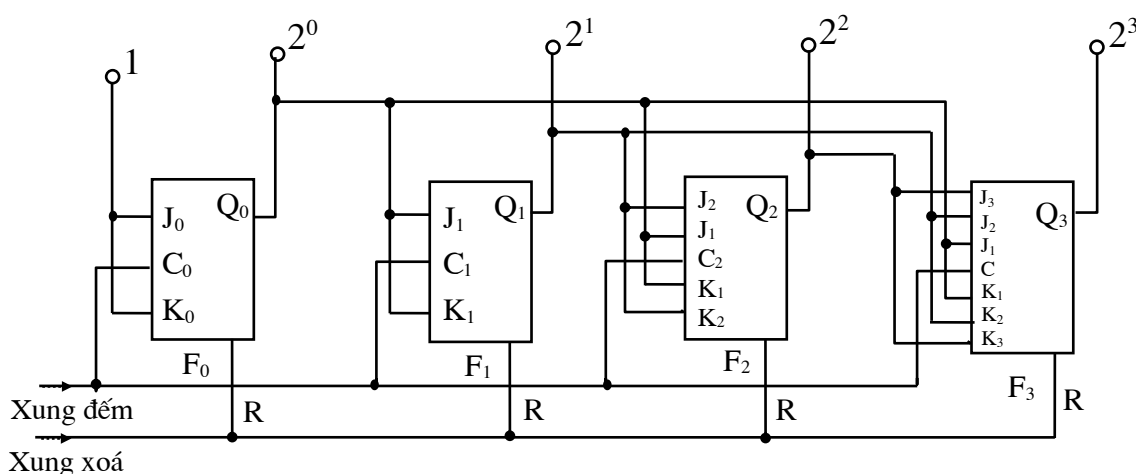
- Để trạng thái của trigơ bất kỳ chỉ lật khi đầu ra Q của trigơ cấp thấp hơn kê nó chuyển đổi từ "1" về "0" thì các đầu vào điều khiển của các trigơ phải cùng nhận trị "1" ($J=K=1$).

- Qua mỗi trigơ F_i thực hiện chia đôi tần số của dãy xung vào.

- Để tạo ra bộ đếm có dung lượng lớn ta cần tăng số trigơ (số bit) khi đó do có hiện tượng trễ tích lũy giữa dãy xung vào và dãy xung ra làm giảm khả năng đếm nhanh khi số bit tăng dần, độ trễ tích lũy chung bằng tổng độ trễ do các trigơ tạo nên. Đây cũng chính là nhược điểm chính của bộ đếm nhị phân nối tiếp (không đồng bộ).

- Nếu dùng các trigơ được xây dựng từ các phần tử NOR (lật theo số lượng của xung đồng bộ) thì từ hình 3 ta nhận được bộ đếm nhị phân lùi. Trường hợp dùng các trigơ được xây dựng từ NAND mà tạo ra bộ đếm nhị phân lùi cần nối đầu ra \bar{Q}_i với C_{i+1} .

1.2. Bộ đếm nhị phân kiểu song song (đồng bộ)



Hình 4 : Bộ đếm nhị phân thuận đồng bộ 4 bit mô đun 16 dùng Trigơ JK

Hình 4 là cấu trúc của bộ đếm nhị phân đồng bộ 4 bit dùng các trigơ JK loại MS, bộ đếm này có đặc điểm như sau:

a- Các xung đếm được đưa tới đồng thời các lối vào đồng bộ (cửa C) của các trigơ, các đầu vào JK được dùng để điều khiển quá trình lật của mỗi trigơ theo trình tự của bảng trạng thái hình 2. Do vậy thời gian trễ chung của bộ đếm chỉ bằng thời gian trễ của một trigơ gây nên, đây cũng chính là ưu điểm nổi bật

so với bộ đếm nhị phân không đồng bộ.

b- Theo bảng trạng thái *hình 2*:

+ Trigrơ F_0 lật trạng thái ứng với mỗi xung nhịp (xung đếm) đ- a tới muốn vậy đối với F_0 thì $J_0 = K_0 = 1$.

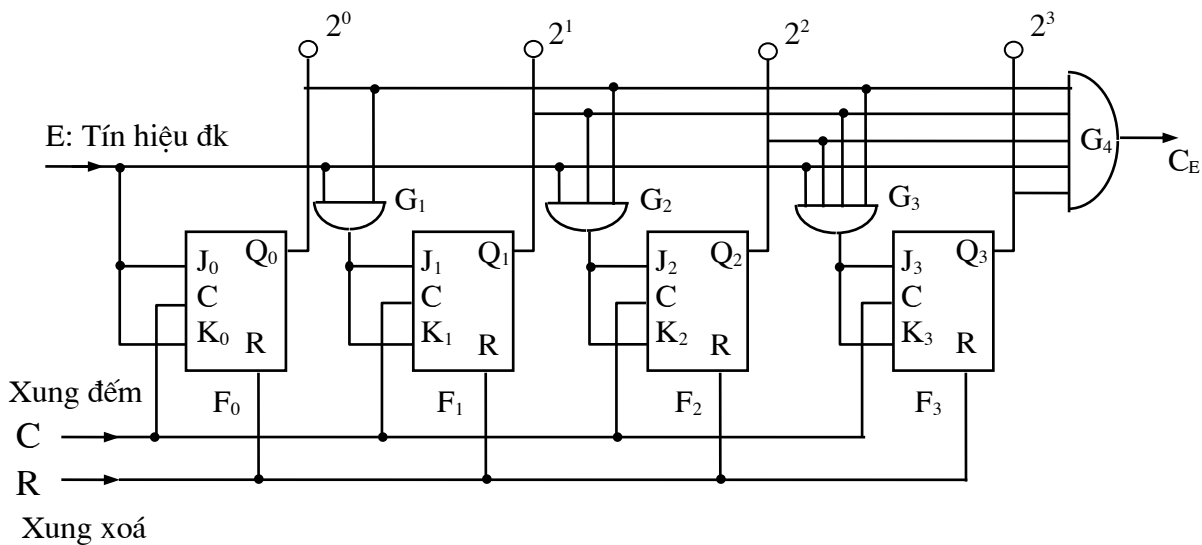
+ Trigrơ F_1 lật chỉ khi $Q_0 = "1"$ đồng thời có xung đếm đ- a tới.

+ Trigrơ F_2 lật chỉ khi $Q_1 = Q_0 = "1"$ đồng thời có xung đếm đ- a tới.

+ Trigrơ F_3 lật chỉ khi $Q_2 = Q_1 = Q_0 = "1"$ đồng thời có xung đếm đ- a tới.

Các đầu vào điều khiển J,K đ- ợc nối với các đầu ra Q_0, Q_1, Q_2 cho phép thực hiện đồng thời các điều kiện trên.

Bộ đếm nhị phân đồng bộ có kết cấu *hình 4* với -u điểm là đơn giản tuy nhiên tồn tại nh- ợc điểm là khi bộ đếm cần dung l- ợng lớn thì các trigrơ ở bit trọng số cao cần rất nhiều các đầu vào điều khiển JK điều này làm cho mạch điện phức tạp. Để khắc phục nh- ợc điểm này ta dùng sơ đồ *hình 5* .



Hình 5: Bộ đếm nhị phân thuận 4 bit, môđun 16 dùng các trigrơ vạn năng JK kết hợp với các cổng lôgic, có lôgic tạo nhớ.

Từ *hình 5* ta thấy:

$$C_E = Q_0.Q_1.Q_2.Q_3.E ; \quad J_3 = K_3 = Q_0.Q_1.Q_2.E ; \quad J_2 = K_2 = Q_0.Q_1.E$$

$$J_1 = K_1 = Q_0.E ; \quad J_0 = K_0 = E.$$

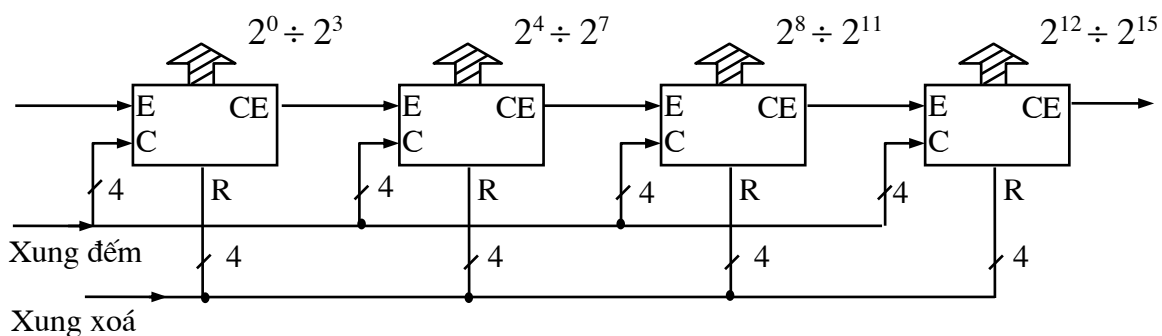
- E: là tín hiệu điều khiển, E = "1" cho phép bộ đếm làm việc, E = "0" trạng thái của bộ đếm không đổi.

- Trạng thái của một trigrơ bất kỳ sẽ chỉ lật khi $J = K = 1$ và xung đồng bộ chuyển đổi từ "1" về "0" (giả thiết trigrơ đ- ợc xây dựng từ các phần tử NAND),

điều này cũng có nghĩa là trạng thái của một trigơ bất kỳ sẽ chỉ lật khi tất cả các đầu ra Q của các trigơ cấp thấp hơn đều nhận trị "1".

- Tín hiệu nhớ C_E nhận trị "1" khi bộ đếm đã đầy ($Q_0=Q_1=Q_2=Q_3=E="1"$)

Khi cần bộ đếm có dung lượng lớn hơn thì ta tiến hành ghép liên tiếp các mô đun đếm với mỗi mô đun là bộ đếm nhị phân đồng bộ 4 bit mô đun 16 như hình 5.

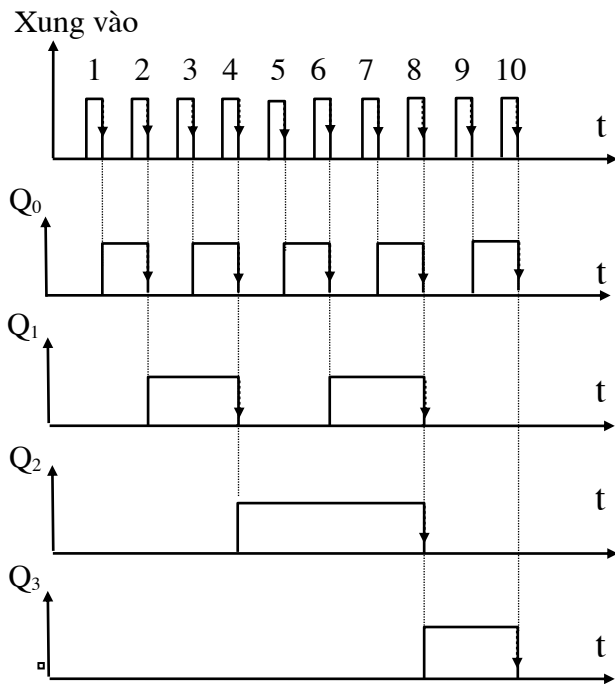


Hình 6: Bộ đếm nhị phân đồng bộ 16 bit

Hình 6 là cấu trúc của bộ đếm nhị phân đồng bộ 16 bit, dung lượng $2^{16}-1$ xung được xây dựng bằng cách ghép liên tiếp 4 bộ đếm 4 bit có logic tạo nhớ

§2. BỘ ĐẾM NHỊ PHÂN CÓ MÔ ĐUN ĐẾM BẤT KỲ.

Được xây dựng dựa trên cơ sở các bộ đếm tổng nhị phân (bộ đếm có mô đun đếm đầy đủ) sau khi đã loại bỏ các trạng thái dư. Số trạng thái dư với mô đun đếm n là $S = 2^N - n$ (N - số trigơ hay số bit). Số trigơ đếm sử dụng được chọn theo số lượng cực tiểu của S . Việc loại bỏ các trạng thái dư được thực hiện bằng cách nối các mạch vòng hồi tiếp thích hợp, vào các thời điểm thích hợp theo ý định thiết kế. Cụ thể ta xét bộ đếm nhị phân mô đun 10 (còn gọi là bộ đếm thập phân hay BCD), nó được xây dựng dựa trên cơ sở bộ đếm nhị phân 4 bit mô đun 16 sau khi đã loại bỏ 6 trạng thái dư, nhờ các mạch vòng hồi tiếp thích hợp mà đến xung đếm thứ 10 sẽ đưa bộ đếm về trạng thái ban đầu (các đầu ra đều nhận trị "0").

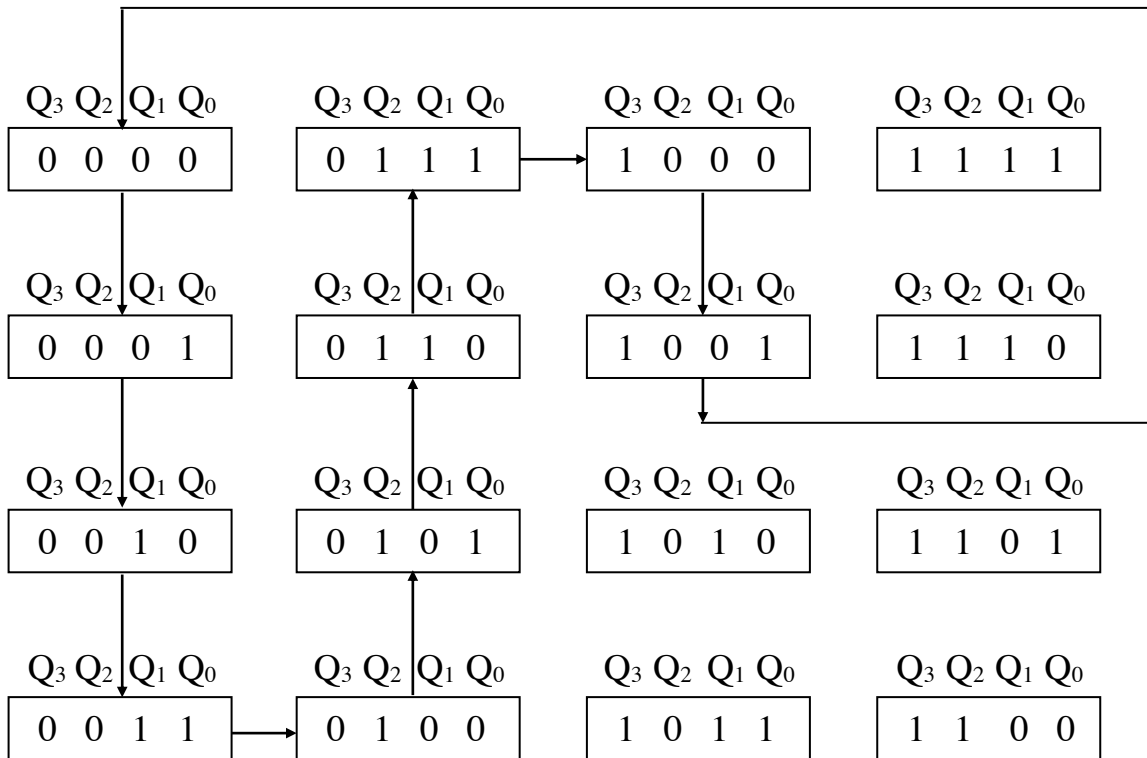


Hình 8: Giải đồ thời gian minh hoạ hoạt động bộ đếm nhị phân mô đun 10

Số Xung vào	Trạng thái các Trigrơ đếm			
	(2^3) F ₃	(2^2) F ₂	(2^1) F ₁	(2^0) F ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Hình 7 : Bảng trạng thái của bộ đếm nhị phân mô đun 10

Từ bảng trạng thái hình 7 ta có đồ hình chuyển đổi trạng thái hình 8



Hình 8: Đồ hình chuyển đổi trạng thái của bộ đếm mô đun 10.

Để số trạng thái d- là ít nhất, ta dùng 4 trigrơ vạn năng JK để xây dựng bộ đếm

Dựa vào bảng đầu vào kích của trigơ JK và bảng trạng thái hình 7 ta đ- a ra bảng trạng thái hình 9 minh họa quá trình hoạt động của các trigơ (với từng trạng thái là các giá trị t- ứng của các đầu vào điều khiển J, K) trong bộ đếm nhị phân mô đun 10. Nh- đã biết trong bộ đếm tồn tại các mạch hồi tiếp với l- ợng vào là trạng thái ra của các trigơ, l- ợng ra điều khiển các đầu vào JK nhờ đó quá trình làm việc của bộ đếm sẽ tuân theo bảng trạng thái hình 7. Để xây dựng đ- ợc các mạch hồi tiếp điều khiển sự hoạt động của các trigơ ta coi $J_0 \div J_3, K_0 \div K_3$ là các hàm ra, $Q_0 \div Q_3$ là các biến vào. Để tìm quan hệ giữa các hàm ra với các biến vào đồng thời đ- a chúng về dạng tối giản ta dùng ph- ơng pháp bìa các nô (có tận dụng 6 trạng thái d- để tối giản hàm).

XD	Trạng thái các trigơ đếm								Trạng thái các hàm đầu vào kích của các trigơ							
	Hiện tại				Tiếp theo											
	Q ₃	Q ₂	Q ₁	Q ₀	Q' ₃	Q' ₂	Q' ₁	Q' ₀	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
0	0	0	0	0	0	0	0	1	0	-	0	-	0	-	1	-
1	0	0	0	1	0	0	1	0	0	-	0	-	1	-	-	1
2	0	0	1	0	0	0	1	1	0	-	0	-	-	0	1	-
3	0	0	1	1	0	1	0	0	0	-	1	-	-	1	-	1
4	0	1	0	0	0	1	0	1	0	-	-	0	0	-	1	-
5	0	1	0	1	0	1	1	0	0	-	-	0	1	-	-	1
6	0	1	1	0	0	1	1	1	0	-	-	0	-	0	1	-
7	0	1	1	1	1	0	0	0	1	-	-	1	-	1	-	1
8	1	0	0	0	1	0	0	1	-	0	0	-	0	-	1	-
9	1	0	0	1	0	0	0	0	-	1	0	-	0	-	-	1

Hình 9: Bảng trạng thái minh họa quá trình làm việc của bộ đếm nhị phân mô đun 10 đ- ợc xây dựng từ 4 trigơ vạn năng JK.

Chú ý: Trong bìa các nô các ô ghi dấu "-", "X" tại đó giá trị của hàm là tùy chọn, không xác định. Trong quá trình tối giản hàm các ô đ- ợc ghi nh- trên có thể lấy trị "1" hoặc "0" tùy từng tr- ờng hợp cụ thể.

J_3

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		0	0	0	0
01		0	0	1	0
11		x	x	x	x
10		-	-	x	x

$$J_3 = Q_2 \cdot Q_1 \cdot Q_0$$

K_3

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		-	-	-	-
01		-	-	-	-
11		x	x	x	x
10		0	1	x	x

$$K_3 = Q_0$$

J_1

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		0	1	-	-
01		0	1	-	-
11		x	x	x	x
10		0	0	x	x

$$J_1 = \bar{Q}_3 \cdot Q_0$$

K_1

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		-	-	1	0
01		-	-	1	0
11		x	x	x	x
10		-	-	x	x

$$K_1 = Q_0$$

J_2

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		0	0	1	0
01		-	-	-	-
11		x	x	x	x
10		0	0	x	x

$$J_2 = Q_1 \cdot Q_0$$

K_2

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		-	-	-	-
01		0	0	1	0
11		x	x	x	x
10		-	-	x	x

$$K_2 = Q_1 \cdot Q_0$$

J_0

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		1	-	-	1
01		1	-	-	1
11		x	x	x	x
10		1	-	x	x

$$J_0 = 1$$

K_0

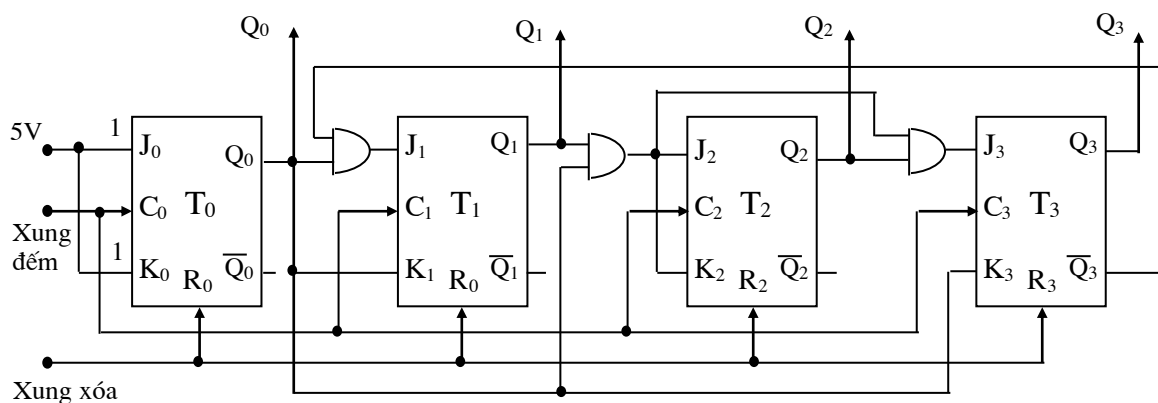
$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00		-	1	1	-
01		-	1	1	-
11		x	x	x	x
10		-	1	x	x

$$K_0 = 1$$

Quan hệ của các hàm ra với các biến vào của các mạch hồi tiếp nh- sau:

$$\begin{aligned} J_0 &= 1 & K_0 &= 1 \\ J_1 &= \bar{Q}_3 \cdot Q_0 & K_1 &= Q_0 \\ J_2 &= Q_1 \cdot Q_0 & K_2 &= Q_1 \cdot Q_0 \\ J_3 &= Q_2 \cdot Q_1 \cdot Q_0 & K_3 &= Q_0 \end{aligned}$$

Từ các quan hệ trên ta đ- a ra sơ đồ nguyên lý bộ đếm nhị phân đồng bộ 4 bit môđun 10 dùng trigơ vạn năng J, K..



Hình 10: Sơ đồ nguyên lý bộ đếm 4 bit môđun 10 sử dụng trigơ J-K.

Trên sơ đồ nguyên lý ta thấy trạng thái kể từ 0 đến 9 bộ đếm làm việc giống nh- bộ đếm nhị phân 4 bit môđun 16. Khi xung nhịp thứ 9 kết thúc trạng thái của các trigơ sẽ là : $Q_3 = 1; Q_2 = 0; Q_1 = 0; Q_0 = 1$:

Sau xung nhịp thứ 10:

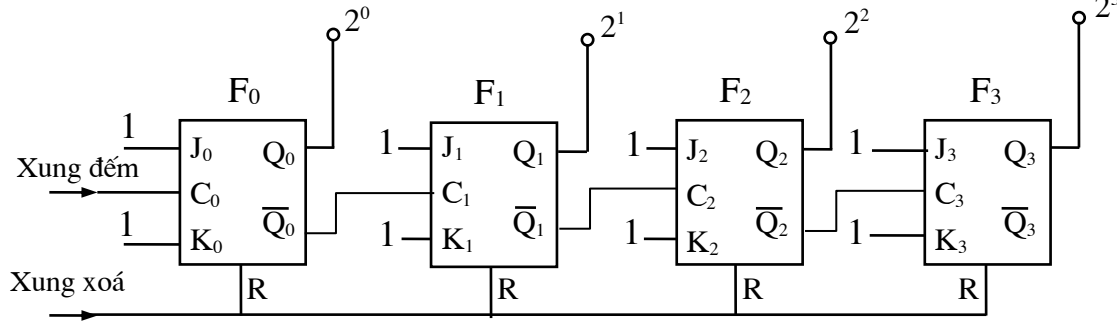
- $J_3 = 0; K_3 = 1 \rightarrow Q_3 = 0$; ($J \neq K \rightarrow Q$ biến đổi theo J)
- $J_2 = K_2 = 0 \rightarrow Q_2 = 0$; (Trạng thái của trigơ giữ nguyên)
- $J_1 = 0; K_1 = 1 \rightarrow Q_1 = 0$; ($J \neq K \rightarrow Q$ biến đổi theo J).
- $J_0 = K_0 = 1 \rightarrow Q_0 = 0$; (Trigơ lật trạng thái).

Nh- vậy sau xung nhịp thứ 10 đ- a bộ đếm về trạng thái ban đầu.

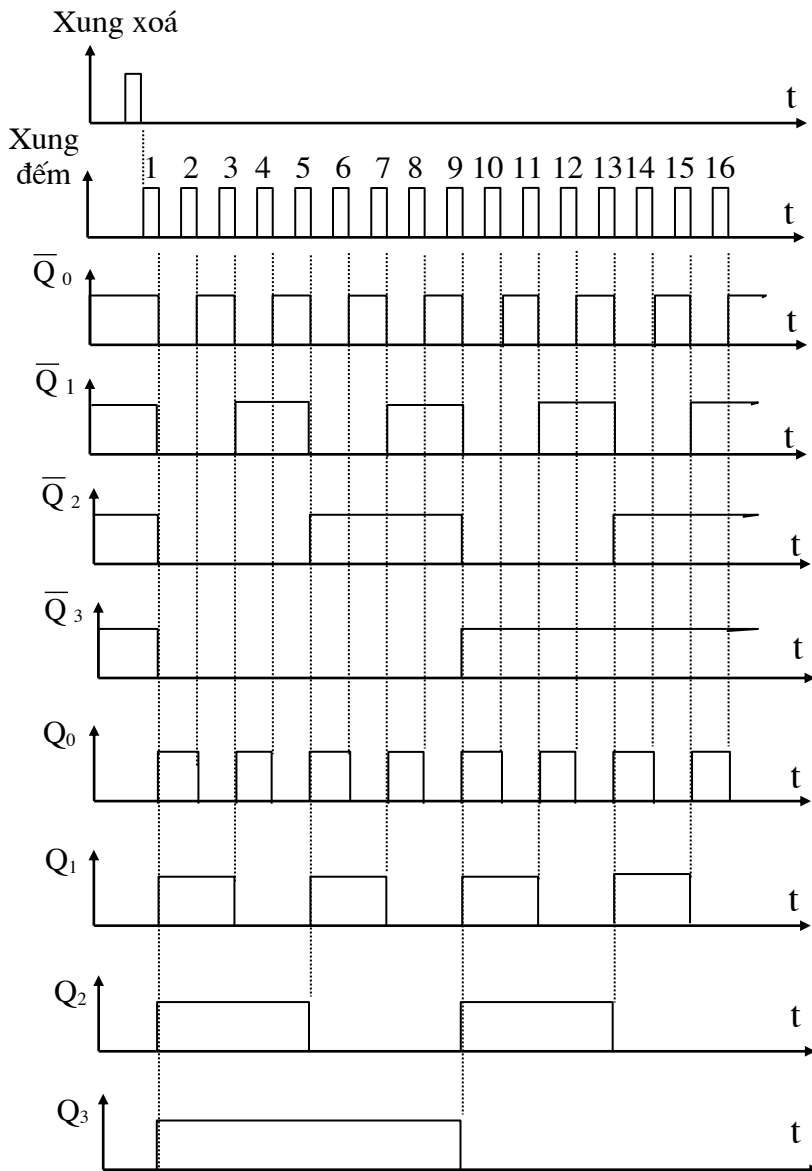
2.1. Bộ đếm nhị phân ng- ợc (trừ xung).

Nguyên lý làm việc t- ơng tự nh- bộ đếm nhị phân thuận, giá trị nhị phân của bộ đếm giảm dần khi có xung đ- a tới. □ bộ đếm nhị phân ng- ợc nối tiếp mà

các trigơ đ-ợc xây dựng từ các phần tử NAND ng-ời ta thực hiện nối \bar{Q}_i với C_{i+1}



Hình 11 : Bộ đếm nhị phân không đồng bộ lùi 4 bit mô đun 16



Hình 12: Giản đồ thời gian minh họa hoạt động của bộ đếm nhị phân không đồng bộ lùi 4 bit.

Số xung vào	Trạng thái trigơ đếm			
	(2 ³)	(2 ²)	(2 ¹)	(2 ⁰)
	F ₃	F ₂	F ₁	F ₀
0	0	0	0	0
1	1	1	1	1
2	1	1	1	0
3	1	1	0	1
4	1	1	0	0
5	1	0	1	1
6	1	0	1	0
7	1	0	0	1
8	1	0	0	0
9	0	1	1	1
10	0	1	1	0
11	0	1	0	1
12	0	1	0	0
13	0	0	1	1
14	0	0	1	0
15	0	0	0	1
16	0	0	0	0

Hình 13: Bảng trạng thái các trigơ đếm của bộ đếm nhị phân lùi 4 bit.

2.2. Bộ đếm nhị phân thuận ng-ợc

Ng-ời ta tạo ra biến điều khiển L với chức năng sau:

- L = 1 thực hiện đếm thuận $\rightarrow Q_i$ nối với C_{i+1} .

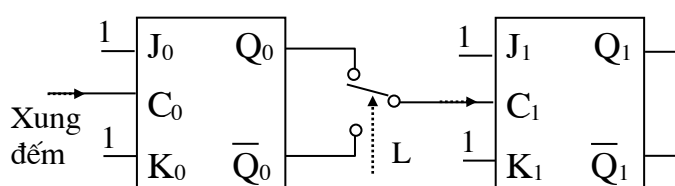
- L = 0 thực hiện đếm ng-ợc $\rightarrow \bar{Q}_i$ nối với C_{i+1} .

□ t-ờng trên đ-ợc trình bày ở bảng trạng thái

hình 14. Từ bảng trạng thái ta có:

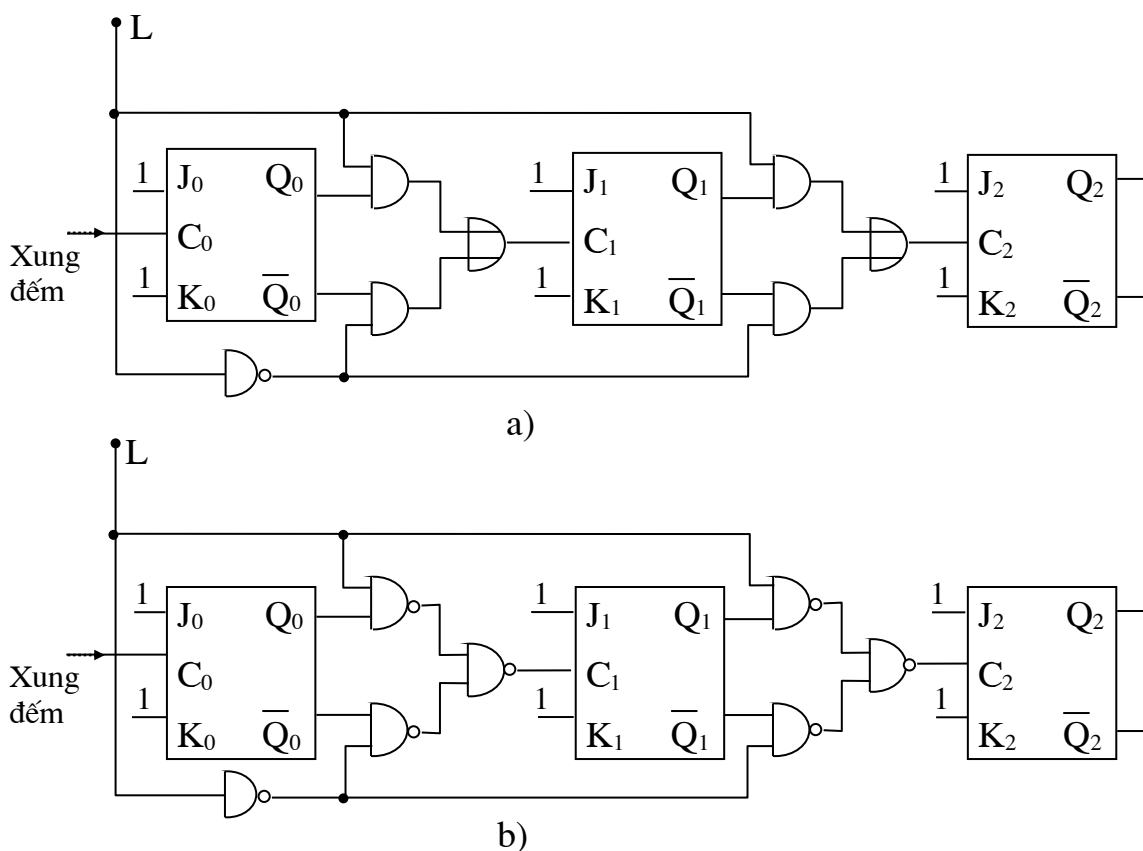
$$C_{i+1} = \bar{L} \cdot \bar{Q}_i + L \cdot Q_i = \overline{\overline{\bar{L} \cdot \bar{Q}_i} \cdot \overline{L \cdot Q_i}}$$

L	C_{i+1}
0	\bar{Q}_i
1	Q_i



Hình 14: Bảng trạng thái của mạch điều khiển đếm thuận, đếm ng-ợc

Hình 15: Mô phỏng chuyển mạch

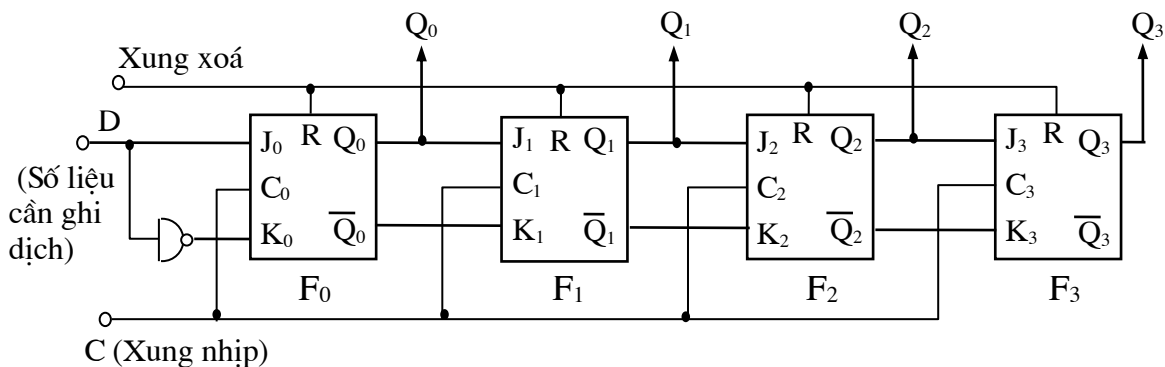


Hình 16: Bộ đếm nhị phân thuận ng-ợc 3 bit mô đun 8 với chuyển mạch dùng các cổng logic hỗn hợp (a), chỉ dùng cổng NAND (b).

Chương V. MỘT SỐ HỆ LOGIC THÔNG DỤNG
§1. BỘ GHI DỊCH

Các thông tin nhị phân có thể đ-ợc l- u trữ nhờ các trigơ có vai trò nh- một ô nhớ số nhị phân. Đấu nối tiếp nhiều trigơ D ta nhận đ-ợc một bộ ghi dịch: Mỗi khi có xung nhịp đặt vào cửa nhịp, thông tin vào cửa D sẽ đ-ợc dịch từ một ô sang ô tiếp theo từ $F_0 \div F_3$, đây là ph-ong pháp ghi nối tiếp thông tin vào các ô nhớ.

Bộ ghi dịch 4 bit nhị phân với khả năng ghi và nhớ 4 bit thông tin cấu tạo từ 4 trigơ JK nối kiểu trigơ D đ-ợc cho trên hình 1. Có hai khả năng lấy thông tin ra khỏi bộ ghi dịch: lấy ra đồng thời ở $Q_0 \div Q_3$ (kiểu song song) sau 4 nhịp ghi nối tiếp hoặc lấy ra lần l- ợt tại Q_3 các thông tin vào tr- ớc đó 4 nhịp.



Hình 1 : Bộ ghi dịch đ- a vào nối tiếp dùng Trigơ JK nối kiểu trigơ D

Ngoài ra còn cách ghi song song (đồng thời) vào các ô nhớ nh- hình 3.

- $G_0 \div G_7$ là các cổng 3 trạng thái với đặc điểm : Tín hiệu điều khiển $G = "1"$ đầu ra đ-ợc nối với đầu vào, $G = "0"$ đầu ra ở trạng thái trở kháng cao.

- Khi lệnh ghi nhận trị "1" thông tin nhị phân $D_0 \div D_7$ đ-ợc ghi vào các trigơ D ($F_0 \div F_7$), kết thúc lệnh ghi (nhận trị "0") thông tin nhị phân đ-ợc l- u trữ trong đó.

Nhịp	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	D_1	0	0	0
2	D_2	D_1	0	0
3	D_3	D_2	D_1	0
4	D_4	D_3	D_2	D_1
5	D_5	D_4	D_3	D_2
6	D_6	D_5	D_4	D_3
7	D_7	D_6	D_5	D_4

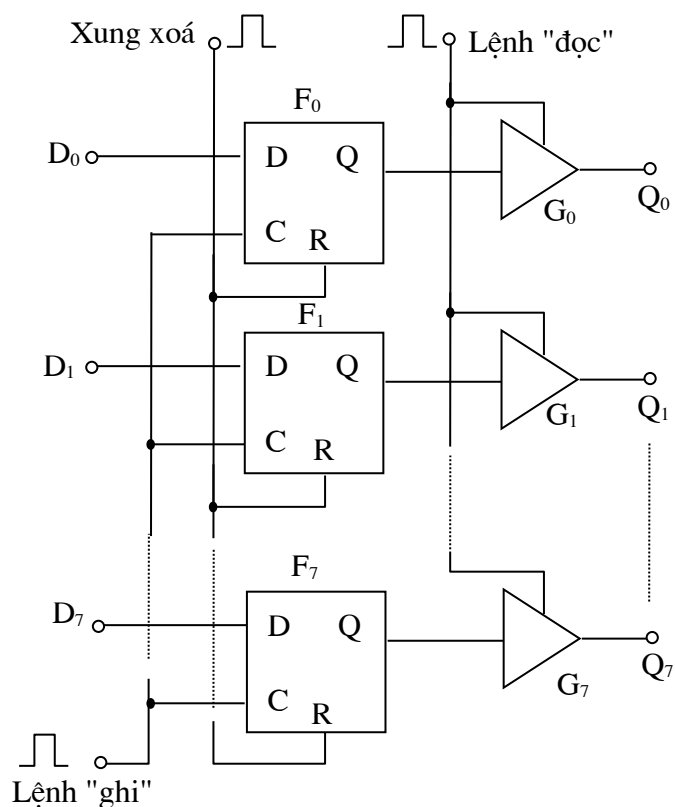
Hình 2: Trạng thái ra của bộ ghi dịch 4 bit theo trật tự xung nhịp

Khi có lệnh đọc (G nhận trị "1") các cổng 3 trạng thái đ-ợc mở, thông tin nhị phân đ-ợc gửi tới địa chỉ cần nhận

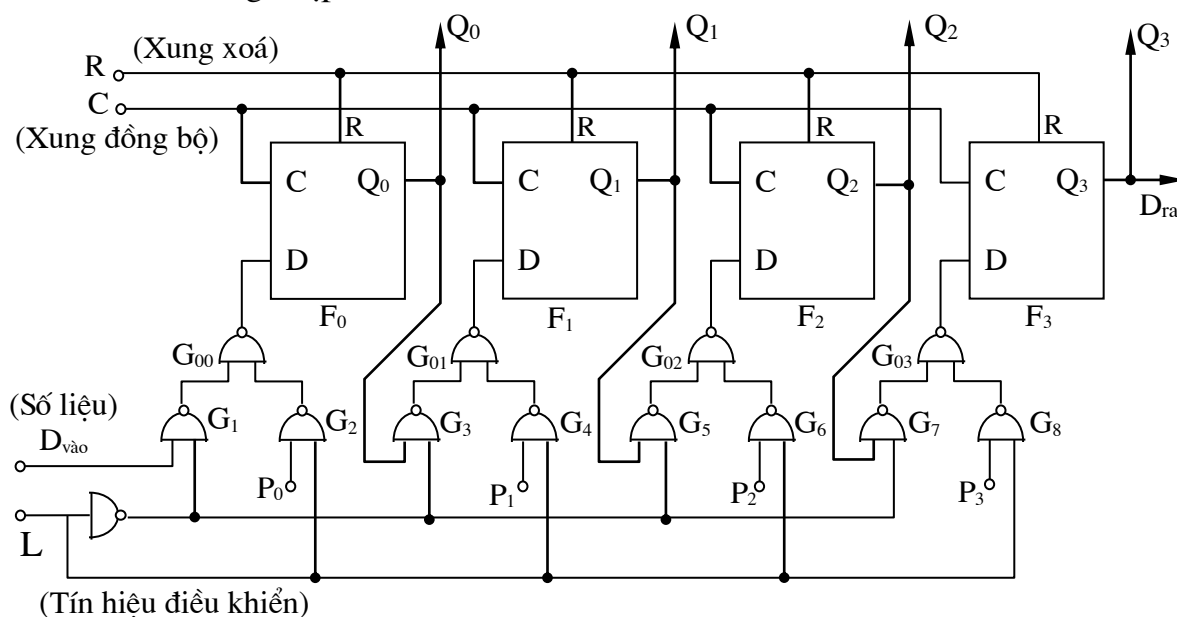
Các thao tác ghi - đọc đ-ợc thực hiện đồng thời với cả 8 bit thông tin.

Ngoài ra ng-ời ta còn kết hợp ph-ơng pháp nối tiếp và song song trong một bộ ghi dịch để sử dụng linh hoạt các -u thế của mỗi cách đồng thời tạo khả năng chuyển từ một dãy thông tin nối tiếp thành dạng song song hoặc ng-ợc lại. Hình 4 đ-a ra cấu trúc một bộ ghi dịch 4 bit kiểu này, sử dụng 4 trigơ D kết hợp với các cổng logic phụ.

Số liệu đ-a vào bộ ghi dịch hình 4 có thể tuần tự (kiểu nối tiếp) ở đầu vào D hay kiểu đồng thời ở các đầu $P_0 \div P_3$ tùy theo xung điều khiển L và xung nhịp C.



Hình 3: Bộ ghi cấu trúc vào - ra song song (8 bit)



Hình 4: Bộ ghi dịch 4 bit hỗn hợp.

Khi $L = 0$ thì với việc có xung nhịp C , thông tin D sẽ đ-ợc dịch phải 1 bit h-ớng $F_0 \rightarrow F_3$. Lúc $L = 1$ thì khi có xung nhịp C , thông tin $P_0 \div P_3$ sẽ đ-ợc đ-a đồng thời vào $F_0 \div F_3$. Việc lấy số liệu ra cũng có thể đồng thời cả 4 bit trên các lối ra $Q_0 \div Q_3$ hay tuần tự trên lối ra D_{ra} kiểu vào tr-ớc ra tr-ớc sau 4 nhịp của xung C .

Kết cấu hình 4 cho phép sử dụng linh hoạt và khai thác hết các -u điểm của mỗi ph-ơng pháp ghi dịch kiểu tuần tự hay đồng thời.

§2. BỘ BIẾN ĐỔI MA VÀ GIẢI MA

Các bộ biến đổi mã thực hiện việc chuyển đổi cách biểu diễn của một số nhị phân ở dạng này sang dạng khác nhờ đó quá trình gia công xử lý, ghi nhớ hay hiển thị kết quả thông tin đ-ợc thuận lợi hơn. Trong phần này ta sẽ đề cập tới một số dạng biến đổi và giải mã điển hình nhất

2.1. Bộ biến đổi mã nhị phân sang mã "1 từ n".

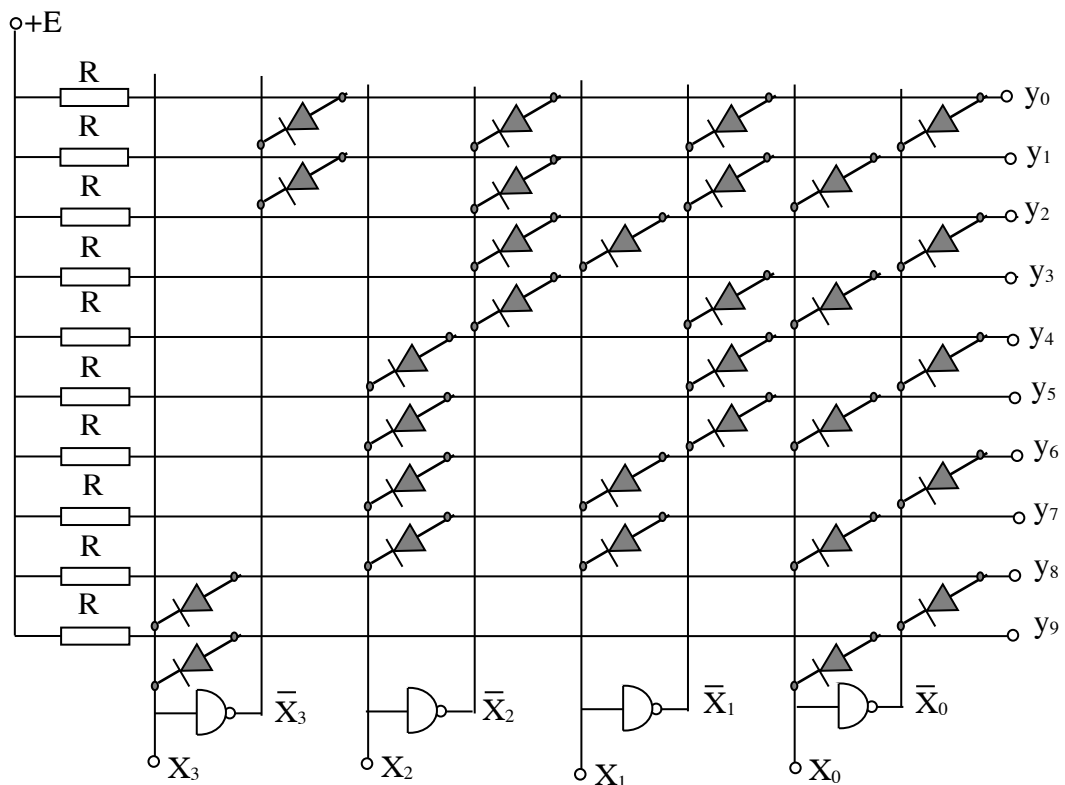
Trạng thái của bộ biến đổi mã nhị - thập phân (BCD) sang mã "1 từ 10" đ-ợc cho trên bảng hình 1

M	2^3 X_3	2^2 X_2	2^1 X_1	2^0 X_0	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9
0	0	0	0	0	1									
1	0	0	0	1		1								
2	0	0	1	0			1							
3	0	0	1	1				1						
4	0	1	0	0					1					
5	0	1	0	1						1				
6	0	1	1	0							1			
7	0	1	1	1								1		
8	1	0	0	0									1	
9	1	0	0	1										1

Hình 1: Bảng trạng thái bộ chuyển đổi mã nhị - thập phân sang mã "1 từ 10"

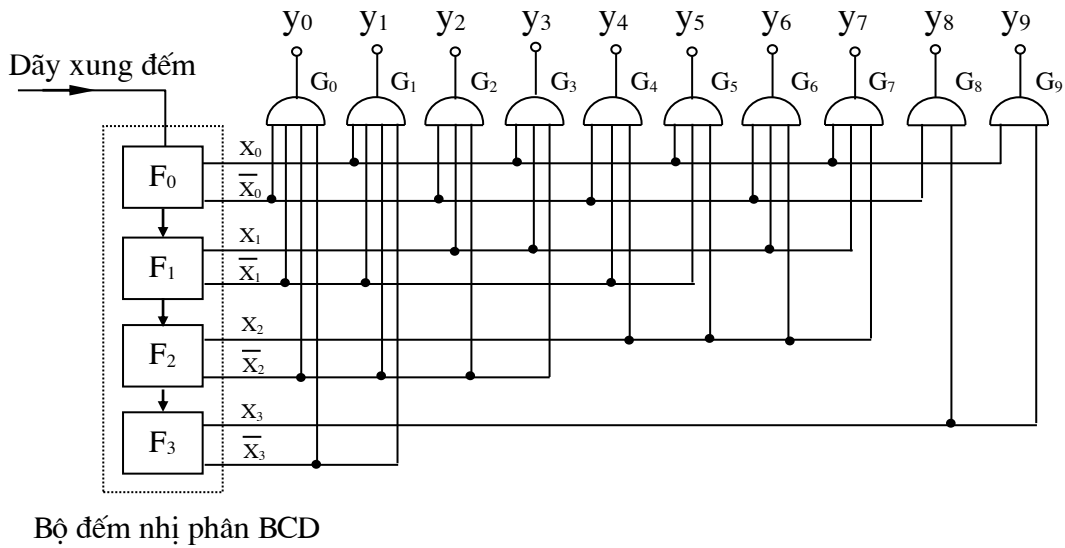
Để xây dựng bộ giải mã ta xem y_0, y_9 là các hàm ra, Q_0, Q_3 là các biến vào. Để tìm quan hệ của các hàm ra với các biến vào đồng thời đưa chúng về dạng tối giản ta dùng phương pháp bìa các nô có tận dụng các trạng thái d- của bộ đếm. Kết quả như sau:

$$\begin{aligned}
 y_0 &= \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 & ; & & y_1 &= \bar{x}_3 \bar{x}_2 \bar{x}_1 x_0 & ; & & y_2 &= \bar{x}_2 x_1 \bar{x}_0 & ; & & y_3 &= \bar{x}_2 x_1 x_0 \\
 y_4 &= x_2 \bar{x}_1 \bar{x}_0 & ; & & y_5 &= x_2 \bar{x}_1 x_0 & ; & & y_6 &= x_2 x_1 \bar{x}_0 & ; & & y_7 &= x_2 x_1 x_0 \\
 y_8 &= x_3 \bar{x}_0 & ; & & y_9 &= x_3 x_0
 \end{aligned}$$



Hình 2: Bộ giải mã "1 từ 10" cấu trúc kiểu ma trận điốt - điện trở

Hình 2 đưa ra một cấu trúc đơn giản nhất của bộ giải mã "1 từ 10" kiểu ma trận điốt - điện trở. Các hàng ngang tương ứng với các hàm ra, các cột tương ứng với các biến vào. Các điốt có các Anốt nối với hàng ngang tương ứng với hàm, Katốt nối với các cột tương ứng với các biến. Với một giá trị tổ hợp biến đầu vào chỉ duy nhất có một hàng các điốt đều khóa, hàm tương ứng nhận trị "1", còn các hàng khác có ít nhất một điốt thông do vậy các hàm còn lại đều nhận trị "0".



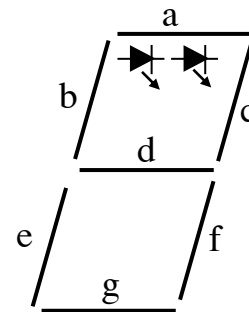
Hình 3: Bộ giải mã BCD - "1 từ 10".

2.2. Bộ giải mã nhị phân BCD - mã thập phân 7 dấu.

Bộ chỉ thị 7 dấu kí hiệu đ- ọc dùng phổ biến để biểu thị kết quả thông tin bằng số thập phân nhờ đặc điểm có cấu tạo điôt phát quang (LED) hay tinh thể lỏng bố trí nh- thể hiện trên hình 4.

M	Biến vào				Hàm ra						
	x ₃	x ₂	x ₁	x ₀	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	1	0	0	1	0
2	0	0	1	0	1	0	1	1	1	0	1
3	0	0	1	1	1	0	1	1	0	1	1
4	0	1	0	0	0	1	1	1	0	1	0
5	0	1	0	1	1	1	0	1	0	1	1
6	0	1	1	0	1	1	0	1	1	1	1
7	0	1	1	1	1	0	1	0	0	1	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Hình 5: Bảng trạng thái bộ giải mã



Hình 4: Dạng bộ chỉ thị 7 thanh

Bảng biến đổi của bộ giải mã BCD - mã 7 cho trên bảng hình 5. □ đây dấu các biến logic đầu vào ký hiệu là x₀ → x₃ và các hàm ra là a b c d e f g.

Bình thường các điốt phát quang a, b, c, d, e, f, g không phát sáng.

□ng với mỗi tổ hợp nhị phân ở đầu vào, một vài trong số 7 thanh đầu ra nhận đ-ợc tín hiệu "1" (thế cao) kích thích chúng phát sáng và hiện hình số thập phân t-ơng ứng. Cấu trúc tổ hợp của bộ giải mã này đ-ợc xây dựng xuất phát từ hệ các hàm a ÷ g sau khi đã đ-ợc tối thiểu hoá. Th-ờng chúng đ-ợc kết cấu ở một dạng vi mạch có sẵn.

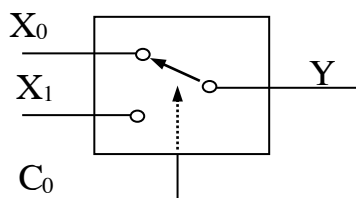
§3. BỘ CHỌN KÊNH, PHÂN KÊNH

3.1. BỘ CHỌN KÊNH

Bộ chọn kênh (Multiplexer) là mạch logic có nhiều đầu vào, một đầu ra, cho phép chọn một trong các đầu vào đ-ợc nối với đầu ra.

3.1.1. Bộ chọn kênh 2 đầu vào:

Có hai đầu vào biến trạng thái, một đầu vào biến địa chỉ, một đầu ra thoả mãn bảng trạng thái hình 2.



C ₀	Y
0	X ₀
1	X ₁

Hình 1: Mạch điện mô phỏng trạng thái

Hình 2: Bảng trạng thái

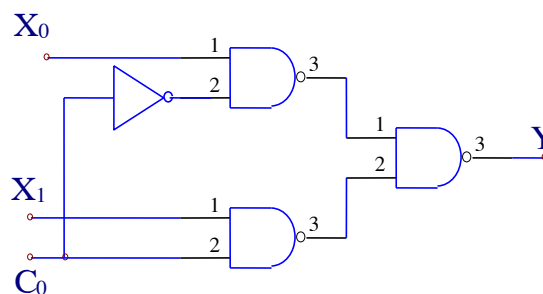
X₀, X₁: 2 đầu vào biến trạng thái.

C₀: Biến địa chỉ.

Y: Hàm ra.

Từ bảng trạng thái (hình 2) ta có:

$$Y = \overline{C_0} \cdot X_0 + C_0 X_1 = \overline{\overline{\overline{C_0}} \cdot X_0} \cdot \overline{\overline{\overline{C_0}} \cdot X_1} \quad (*)$$



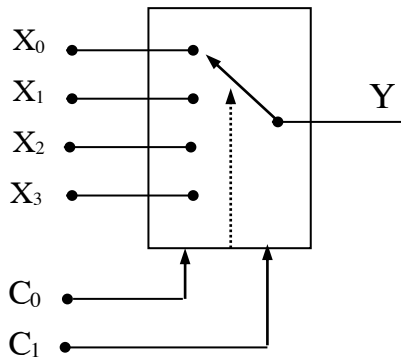
Hình 3: Bộ chọn kênh 2 đầu vào

Từ (*) → Mạch điện hình 3:

3.1.2 Bộ chọn kênh 4 đầu vào:

Gồm 4 đầu vào biến trạng thái X₀, X₁, X₂, X₃, hai đầu vào biến địa chỉ C₁, C₀ một đầu ra Y. Đầu ra Y sẽ đ-ợc nối với một trong 4 đầu vào thông tin đ-ợc

chọn.



Hình 4: Mạch điện mô phỏng

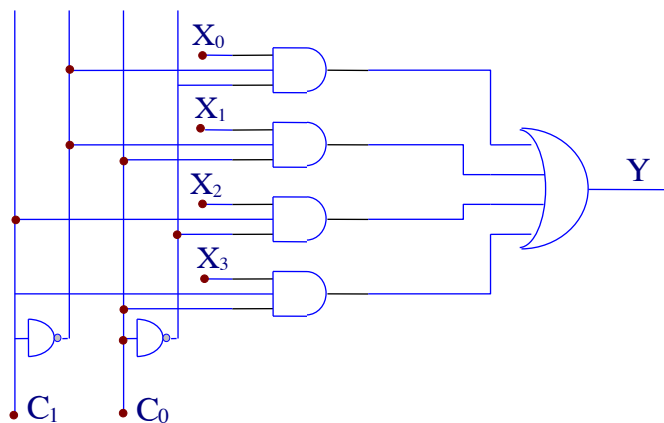
C_1	C_0	Y
0	0	X_0
0	1	X_1
1	0	X_2
1	1	X_3

Hình 5: Bảng trạng thái

Từ bảng trạng thái ta xác định đ-ợc quan hệ của hàm ra với các biến vào:

$$Y = \overline{C_1} \cdot \overline{C_0} \cdot X_0 + \overline{C_1} \cdot C_0 \cdot X_1 + C_1 \cdot \overline{C_0} \cdot X_2 + C_1 \cdot C_0 \cdot X_3 (**)$$

Từ (**), ta có mạch điện hình 6:

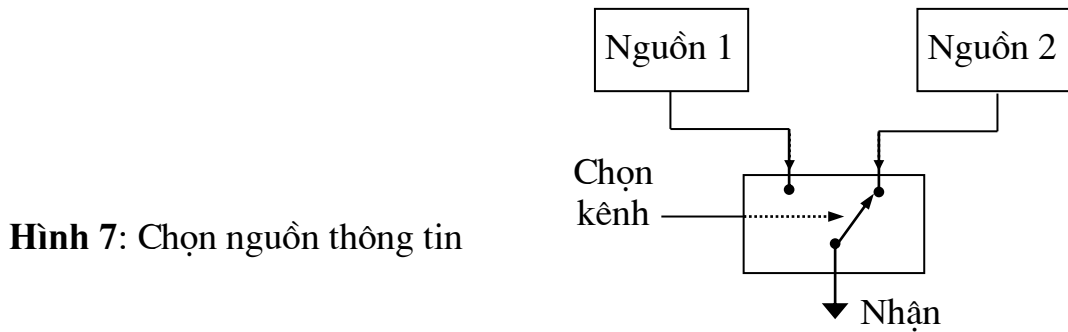


Hình 6: Cấu trúc bộ chọn kênh 4 đầu vào

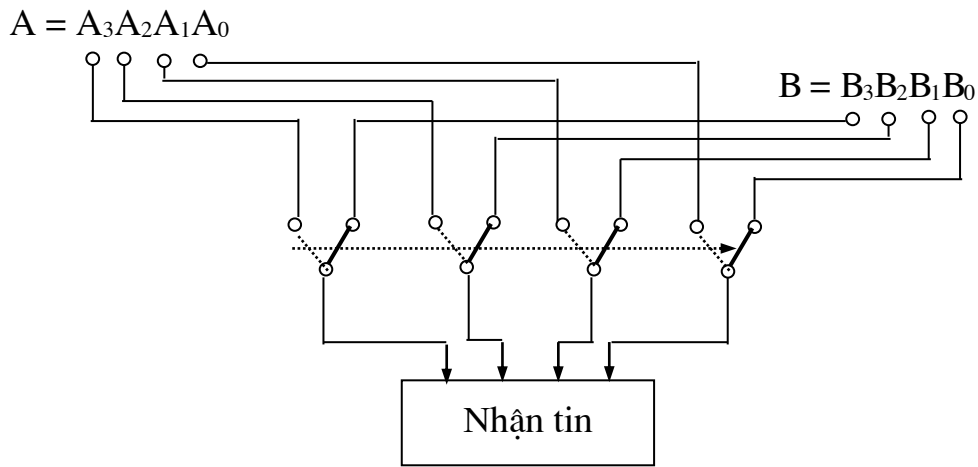
Tổng quát nếu có n biến địa chỉ từ $C_{n-1} \div C_0$, cho phép đầu ra đ-ợc nối với 1 trong 2^n đầu vào dữ liệu đ-ợc chọn. Tr-ờng hợp các biến địa chỉ đ-ợc lấy từ đầu ra của bộ đếm nhị phân thì bộ đếm có modul chính bằng số đầu vào của bộ chọn kênh, thí dụ bộ chọn kênh 12 đầu vào cần có 4 biến địa chỉ C_3, C_2, C_1, C_0 đ-ợc lấy từ đầu ra của bộ đếm nhị phân 4 bit mô đun 12.

3.1.3. Một số ứng dụng của bộ chọn kênh:

a. Chọn nguồn thông tin :



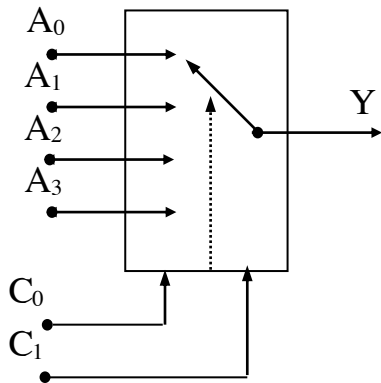
Hình 7: Chọn nguồn thông tin



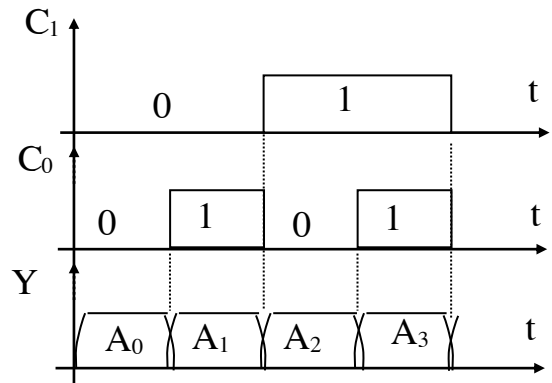
Hình 8: Truyền hai thông tin nhị phân 4 bit (hoặc chọn A hoặc chọn B).

b. Chuyển đổi (tín hiệu) song song - nối tiếp.

Thông tin nhị phân 4 bit $A = A_3A_2A_1A_0$ đồng thời đ- a tới các lối vào, d- ới sự điều khiển của C_1, C_0 (phù hợp nh- hình vẽ) tín hiệu ở đầu ra y sẽ xuất hiện trình tự $A_0- A_1- A_2- A_3$.



Hình 9: Mạch điện mô phỏng



Hình 10 : Biểu đồ minh họa quá trình làm việc chuyển đổi song song - nối tiếp

c. Tạo hàm logic.

Theo định lí Shannon, hàm logic 2 biến dạng tuyến chính quy:

$$f_{(A,B)} = \bar{A}.\bar{B}.f_{(0,0)} + \bar{A}.B.f_{(0,1)} + A.\bar{B}.f_{(1,0)} + A.B.f_{(1,1)} \quad (1)$$

Với $f_{(0,0)}$, $f_{(0,1)}$, $f_{(1,0)}$, $f_{(1,1)}$ đ-ợc gọi là các hàm thành phần.

Theo kết quả bộ chọn kênh 4 đầu vào:

$$Y = \bar{C}_1.\bar{C}_0.X_0 + \bar{C}_1.C_0.X_1 + C_1.\bar{C}_0.X_2 + C_1.C_0.X_3 \quad (2)$$

Từ (1) và (2) ta thấy có sự t-ong ứng :

$$C_1 \leftrightarrow A; C_0 \leftrightarrow B; X_0 \leftrightarrow f(0,0); X_1 \leftrightarrow f(0,1);$$

$$X_2 \leftrightarrow f(1,0); X_3 \leftrightarrow f(1,1).$$

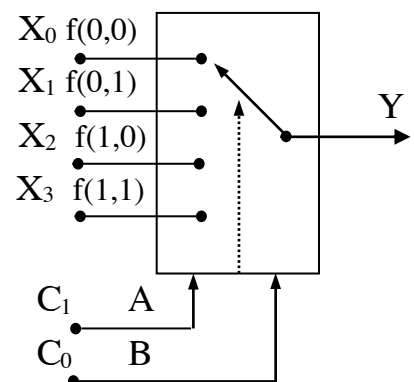
Do vậy bằng cách thay đổi trị logic của các đầu vào bộ chọn kênh sẽ biến đổi bộ chọn kênh thành các phần tử logic với chức năng theo mong muốn (mạch cộng, mạch nhân, phần tử khác dấu, cùng dấu.v.v...). Khi này ng-ời ta gọi đây là mạch tạo hàm logic có lập trình.

Giả sử tạo một số hàm logic hai biến cơ bản.

*Tạo mạch nhân: Cho $X_0 = 0; X_1 = 0; X_2 = 0; X_3 = 1$.

*Tạo mạch cộng: Cho $X_0 = 0; X_1 = 1; X_2 = 1; X_3 = 1$.

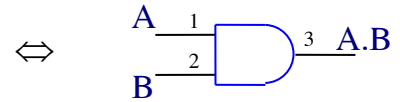
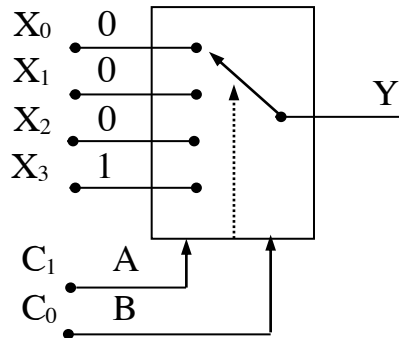
C ₁	C ₀	Y
0	0	X ₀
0	1	X ₁
1	0	X ₂
1	1	X ₃



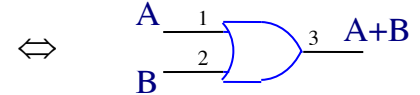
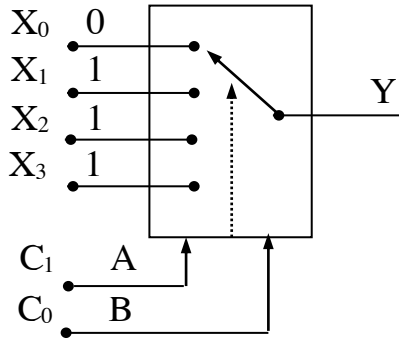
Hình 12: Mạch điện mô phỏng

*Tạo mạch t-ong đ-ong cùng dấu : Cho $X_0 = 1$; $X_1 = 0$; $X_2 = 0$; $X_3 = 1$.

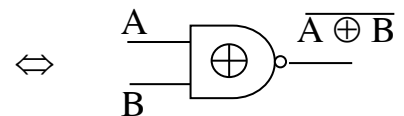
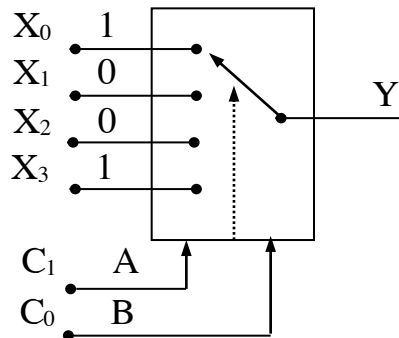
C_1	C_0	Y
0	0	0
0	1	0
1	0	0
1	1	1



C_1	C_0	Y
0	0	0
0	1	1
1	0	1
1	1	1

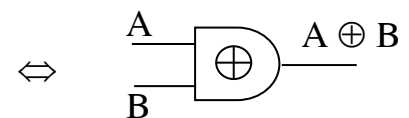
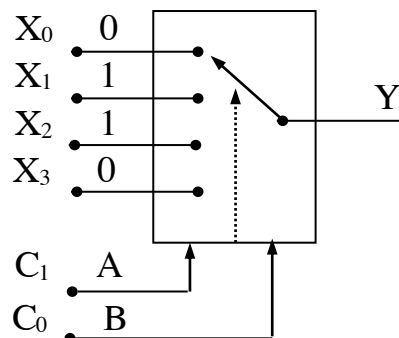


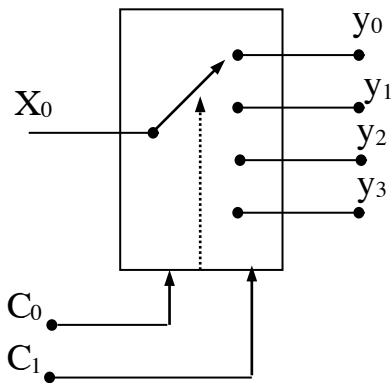
C_1	C_0	Y
0	0	1
0	1	0
1	0	0
1	1	1



*Tạo mạch khác dấu : Cho $X_0 = 0$; $X_1 = 1$; $X_2 = 1$; $X_3 = 0$.

C_1	C_0	Y
0	0	0
0	1	1
1	0	1
1	1	0





Hình 1: Mạch điện mô phỏng

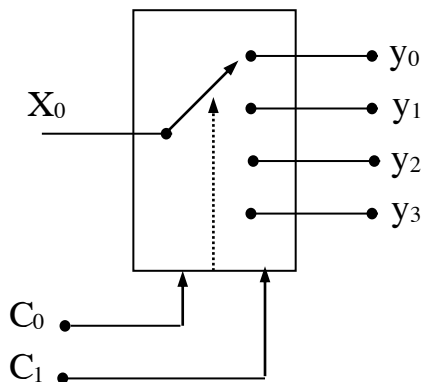
C ₁	C ₀	y ₀	y ₁	y ₂	y ₃
0	0	X ₀	0	0	0
0	1	0	X ₀	0	0
1	0	0	0	X ₀	0
1	1	0	0	0	X ₀

Hình 2: Bảng trạng thái

3.2. BỘ PHÂN KÊNH

Bộ phân kênh (Demultiplexer) là mạch logic có một đầu vào biến, nhiều đầu ra. Cho phép nối tín hiệu vào đến một trong các đầu ra đ-ợc chọn.

Ta xét bộ phân kênh 4 đầu ra (Hình 1) bao gồm 1 đầu vào X₀, 2 đầu vào biến địa chỉ C₁, C₀, 4 đầu ra y₀, y₁, y₂, y₃ thoả mãn bảng trạng thái (hình 2).



Hình 1: Mạch điện mô phỏng

C ₁	C ₀	y ₀	y ₁	y ₂	y ₃
0	0	X ₀	0	0	0
0	1	0	X ₀	0	0
1	0	0	0	X ₀	0
1	1	0	0	0	X ₀

Hình 2: Bảng trạng thái

Từ bảng trạng thái (Hình 2), ta có: $y_0 = \overline{C_1} \cdot \overline{C_0} \cdot X_0$; $y_1 = \overline{C_1} \cdot C_0 \cdot X_0$

$$y_2 = C_1 \cdot \overline{C_0} \cdot X_0; \quad y_3 = C_1 \cdot C_0 \cdot X_0$$

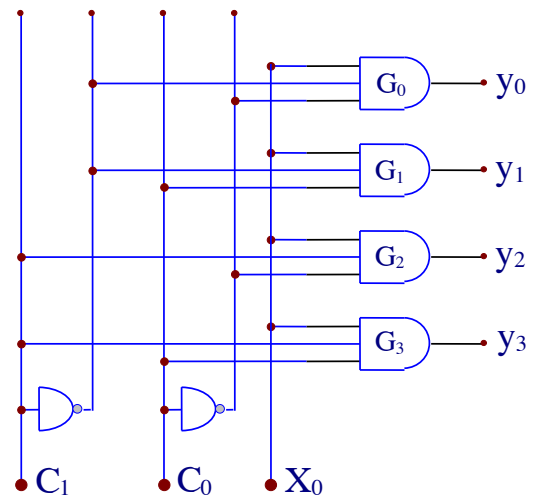
Từ các hàm trên ta có mạch điện hình 3.

□ng với một giá trị tổ hợp của biến địa chỉ, đầu vào đ-ợc nối với một đầu ra duy nhất đ-ợc chọn.

Tr-ờng hợp đầu vào X₀ nhận trị "1" (nối với +U_{CC}) bộ phân kênh làm việc nh- một bộ giải mã "1 từ n".

Tổng quát: nếu có n biến địa chỉ C_0 C_{n-1} thì có thể nối đầu vào với 1 trong 2^n đầu ra.

Một trong các ứng dụng quan trọng của bộ phân kênh là đ-ợc dùng để chuyển đổi (tín hiệu) nối tiếp - song song.



Hình 3: Bộ phân kênh 4 lối ra

CH- ONG VI.

BỘ NHỚ

§1. CÁC KHÁI NIỆM

Đối với các thiết bị số, khả năng chứa đựng đ- ọc dữ liệu là một yêu cầu quan trọng. Chẳng hạn trong máy tính, các con số cần thiết trong phép toán phải đ- ọc l- u trữ ngay trong máy. Còn các thiết bị điều khiển số thì lệnh điều khiển cũng phải đ- ọc l- u trữ để thực hiện dần theo một trình tự nào đó. Vì vậy, bộ nhớ là một thành phần không thể thiếu đ- ọc của các thiết bị số.

Khi nghiên cứu về bộ nhớ, thông tin hay dữ liệu l- u chuyển trong các thiết bị số đều phải viết d- ới dạng mã hệ 2, tức là một chuỗi kết hợp bởi 0 và 1 và đ- ọc biểu diễn bởi hai mức điện thế khác nhau.

Thông th- ờng, thông tin hay dữ liệu đ- ọc tạo thành từ một đơn vị cơ bản gọi là từ (word). Một từ có chiều dài nhất định tùy theo loại máy, chẳng hạn 8 bit, 16 bit, 32 bit, .v..v... Từ là thành phần thông tin cơ bản nhất. Các bộ phận của thiết bị th- ờng chỉ truyền đi hay nhận vào nguyên một từ (hay nguyên từ) chứ không phải vài bit của từ. Tuy nhiên, vì từ đ- ọc tạo thành từ nhiều bit nên đơn vị cơ bản của bộ nhớ chính là bit.

Khi so sánh các bộ nhớ ng- ời ta th- ờng l- u ý đến các đặc tính sau:

+ Dung l- ợng.

Dung l- ợng (hay nói rõ hơn là dung l- ợng nhớ) là khối l- ợng thông tin hay dữ liệu có thể l- u trữ đ- ọc trong bộ nhớ. Để xác định dung l- ợng ta th- ờng dùng đơn vị là số bit (hoặc kilobit hoặc megabit). Dung l- ợng liên quan mật thiết đến giá thành của bộ nhớ. Giá thành này đ- ọc đánh giá theo tiêu chuẩn: chi phí/ bit.

+ Thời gian thâm nhập (access time).

Thời gian này gồm có 2 phần: thứ nhất là thời gian cần thiết để xác định vị trí cần thiết của từ (thời gian tìm từ) trong bộ nhớ và thứ hai là thời gian cần thiết để lấy ra khỏi bộ nhớ. Thời gian thâm nhập (viết tắt là at) là một thông số quan trọng của bộ nhớ, nếu nó kéo dài thì sẽ làm giảm khả năng làm việc của thiết bị vì thiết bị chỉ hoạt động đ- ọc chừng nào chúng nhận đ- ọc dữ liệu mà thôi.

Bộ nhớ th- ờng đ- ọc chia làm hai loại căn cứ vào hai tính chất vừa nêu trên là bộ nhớ chính và bộ nhớ phụ.

+ Bộ nhớ chính.

Bộ nhớ chính nằm gần các bộ xử lý dữ liệu và cần có *at* rất ngắn ($\leq \mu\text{sec}$) với dung lượng không cần lớn lắm (vài chục kilobit là có thể được). Phần này chứa các dữ liệu, thông tin, hoặc các lệnh cần ngay cho công tác.

+ Bộ nhớ phụ.

Bộ nhớ phụ không cần thiết phải nằm gần thiết bị, *at* có thể lớn (tới ms) nhưng lại cần có dung lượng lớn (từ hàng chục kilobit trở lên, có thể đến hàng chục megabit) để lưu trữ các thông tin cần ngay hoặc các kết quả vừa được xử lý xong. Chúng có tính chất nh- một th- viện.

Bộ nhớ chỉ có khả năng lưu trữ, khi sử dụng ta phải ghi dữ liệu vào (th- ờng gọi là viết vào) hoặc lấy dữ liệu ra (th- ờng gọi là đọc ra). Việc viết và đọc như vậy th- ờng bao gồm cả việc xác định vị trí của mỗi từ trong bộ nhớ. Mỗi từ (trong bộ nhớ) phải có một vị trí riêng được xác định bởi một mã số gọi là địa chỉ của từ. Như vậy bộ nhớ cần phải có mạch để xác định địa chỉ của mỗi từ trước khi đọc hay viết.

Ta thường có thể xoá các dữ liệu cũ trong bộ nhớ để viết vào đó dữ liệu mới, loại bộ nhớ như vậy gọi là bộ nhớ đọc - viết (Read - Write Memory). Sở dĩ phải gọi như thế là vì cần phải phân biệt với một loại bộ nhớ khác có chứa sẵn các dữ liệu, khi sử dụng ta cần đọc ra mà không viết gì vào được. Với loại bộ nhớ này dữ liệu được ghi vào trong quá trình chế tạo, sau đó nội dung của bộ nhớ được lưu trữ vĩnh viễn trong bộ nhớ mà không thay đổi được. Loại này gọi là bộ nhớ chỉ đọc (Read Only Memory) ứng dụng của loại này thường là để chứa các lệnh điều khiển sự hoạt động của thiết bị mà các lệnh này không cần thay đổi trong quá trình làm việc khác nhau. Nằm giữa hai loại bộ nhớ nói trên còn có một loại bộ nhớ khác, chúng giống như bộ nhớ đọc viết ở chỗ có thể viết vào bằng phương tiện đặc biệt và sau đó nội dung được lưu trữ vĩnh viễn cho đến khi ta muốn xoá đi (tất nhiên cũng bằng phương tiện đặc biệt), loại bộ nhớ này đôi khi được gọi là bộ nhớ bán cố định (Read Mostly Memory).

Sau đây chúng sẽ xét các loại bộ nhớ thông dụng nhất hiện nay.

§2. BỘ NHỚ RAM

Thuật ngữ RAM là viết tắt của từ tiếng anh Random Access Memory, thường dùng để chỉ các bộ nhớ đọc viết.

Bộ nhớ Ram thường được sử dụng trong các thiết bị tính để cất giữ các kết quả trung gian hay kết quả tạm thời khi thực hiện các chương trình điều khiển.

Như ta biết một mạch FF có hai trạng thái bền, rất tiện dụng để làm một đơn vị nhớ của bộ nhớ đọc viết. Tuy nhiên, trong quá khứ ý tưởng này không được thực hiện vì mạch FF làm bằng bộ phận rời có kích thước tương đối lớn, tiêu thụ công suất đáng kể và tốn kém. Nhưng từ khi kỹ thuật mạch tích hợp ra đời thì ta chế tạo được các mạch tích hợp với nhiều bộ phận bán dẫn trên một diện tích Silic ngày càng bé. Từ đó bộ nhớ bán dẫn dùng FF ra đời.

Hiện nay có hai loại bộ nhớ bán dẫn RAM chính là dùng Transistor lưỡng cực (nnp) và loại MOSFET.

+ Bộ nhớ Ram dùng Transistor lưỡng cực lấy FF làm đơn vị nhớ cơ bản nên vận tốc rất cao, t_w vào khoảng vài chục nanosec và công suất tiêu thụ vào khoảng 1 nanowatt/bit.

+ Bộ nhớ RAM dùng MOSFET được chia làm hai loại:

- Loại tĩnh (static) cũng lấy cấu trúc FF làm đơn vị nhớ cơ bản.
- Loại động (dynamic) lợi dụng điện dung ký sinh của cực cổng (gate) để chứa dữ liệu.

Sở dĩ người ta gọi tĩnh và động là vì loại dùng FF không cần xung kích thích để tăng cường thêm điện tích trong tụ điện (thao tác làm từ bộ nhớ), nếu không điện tích này sẽ giảm đi và mất dữ liệu.

Nói chung bộ nhớ MOSFET chậm hơn bộ nhớ lưỡng cực nhưng bù lại đơn vị nhớ có kích thước nhỏ hơn nên có thể thu gọn nhiều đơn vị nhớ trong một diện tích silic nhỏ mà công suất tiêu thụ lại không đáng kể (chẳng hạn 250 mW cho 4096 bit đối với các bộ nhớ thế hệ đầu tiên).

Khi cần các bộ nhớ RAM có dung lượng lớn ta có thể mắc nhiều bộ nhớ nhỏ lại với nhau mà kích thước toàn thể không lớn lắm.

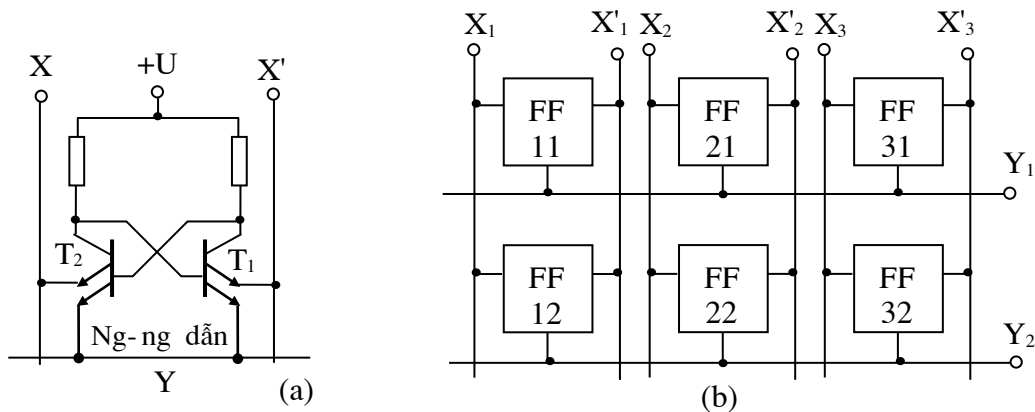
Sau đây ta sẽ khảo sát chi tiết hơn về bộ nhớ bán dẫn RAM.

2.1. Bộ nhớ RAM dùng Tranzitor 1- ống cực

2.1.1. Đơn vị nhớ.

Đơn vị nhớ (memory cell) là một FF nh- ng đ- ọc biến đổi đi đôi chút nh- sơ đồ trên hình 1a : Tranzitor có nhiều cực phát (nh- TTL), mạch có hai đ- ờng XX' và một đ- ờng Y .

Mỗi đ- ờng Y dùng cho một từ, cặp XX' dùng cho từng bit của từ. Nh- vậy muốn chọn từ nào và bit nào ta sẽ kích thích các đ- ờng Y, XX' t- ong ứng. Trên hình 1b là một mạch nhớ có 6 đơn vị nhớ đ- ọc tạo thành từ 6 FF. Đ- ờng Y_1 dùng cho từ thứ nhất (có 3 đơn vị nhớ FF 11, FF 21 và FF 31), còn đ- ờng Y_2 dùng từ thứ hai (có 3 đơn vị nhớ FF 12, FF 22, và FF 32).



Hình 1: Đơn vị nhớ RAM dùng Tranzitor 1- ống cực

Bình th- ờng thì đ- ờng Y ở điện thế thấp (chẳng hạn 0V) còn hai đ- ờng XX' ở điện thế cao (+U). Do đó hai cực phát nối vào dây XX' không dẫn điện, FF hoạt động nhờ hai cực phát nối vào dây Y và duy trì trạng thái bền nào đó, chẳng hạn T_1 dẫn T_2 ng- ng.

+ Thao tác đọc.

Muốn đọc một từ ta nâng điện thế đ- ờng Y t- ong ứng lên cao hơn +U làm cho hai cực phát nối vào dây này ng- ng dẫn và FF phải hoạt động nhờ hai cực phát nối vào XX' . Lúc này dòng điện sẽ chảy qua Tranzitor T_1 (dẫn) để vào X' và ra ngoài. Sự hiện diện của dòng điện báo hiệu sự xuất hiện của tín hiệu:

- Nếu có dòng điện chảy trong đ- ờng X' (T_1 dẫn) thì ta bảo FF chứa bit 0.
- Nếu có dòng điện chảy trong đ- ờng X (T_2 dẫn) thì ta bảo FF chứa bit 1

Mạch ngoài sẽ có nhiệm vụ biến dòng điện thành điện thế thích hợp cho các cổng logic (th-ờng là TTL). Sau khi đọc xong đ-ờng Y lại trở về điện thế thấp, nh- vậy ta chỉ đ- a vào Y một xung điện thế để đọc và nhận một xung dòng điện chạy ra. Phép đọc nh- vậy không làm mất dữ liệu nên không cần phải viết lại.

+ Thao tác viết.

Muốn viết một từ ta phải qua hai giai đoạn: Tr-ớc hết ta phải nâng điện thế đ-ờng Y t-ơng ứng để lựa chọn từ. Sau đó điều khiển các đ-ờng XX' để viết các bit nh- sau:

- Muốn viết bit 0 ta hạ điện thế đ-ờng X' thấp hơn đ-ờng X trong một thời gian ngắn làm T_1 dẫn.

- Muốn viết bit 1 ta làm ng-ợc lại, nghĩa là hạ điện thế đ-ờng X thấp hơn đ-ờng X' làm cho T_2 dẫn.

Điều nói trên có nghĩa là ta sẽ cho vào X hay X' một xung h-ớng âm.

2.1.2. Đặc tính.

Bộ nhớ RAM dùng Tranzitor l-ỡng cực có các đặc tính sau:

- Vận tốc cao, thời gian thâm nhập bé (khoảng chừng vài chục nanosec) nên thuận tiện cho việc sử dụng trực tiếp với các bộ phận xử lý dữ liệu.

- Vì luôn có Tranzitor ở trạng thái dẫn nên luôn tiêu thụ công suất. So với loại MOSFET thì công suất tiêu thụ luôn luôn lớn hơn.

- Những mạch có dung l-ợng lớn th-ờng có thêm mạch giải mã để tìm địa chỉ của từ và các mạch đầu ra để làm tăng hệ số mắc tải (fan out), tất cả đ-ợc đặt lên cùng một phiên bán dẫn.

2.2. Bộ nhớ RAM dùng MOSFET

2.2.1. Loại tĩnh (SRAM)

+ Đơn vị nhớ.

Đơn vị nhớ của loại RAM tĩnh dùng MOSFET cũng là FF nh- ng hơi khác dạng đã đề cập ở trên (hình 2).

Ta vẫn có hai đ-ờng XX' và đ-ờng Y để xác định từ và các bit của từ. FF đ-ợc tạo thành bởi các Tranzitor T_1 và T_2 còn T_3 và T_4 hoạt động nh- hai điện trở. T_5 và T_6 làm việc nh- hai khoá điện tử để đọc ra hay viết vào FF đã đ-ợc chọn.

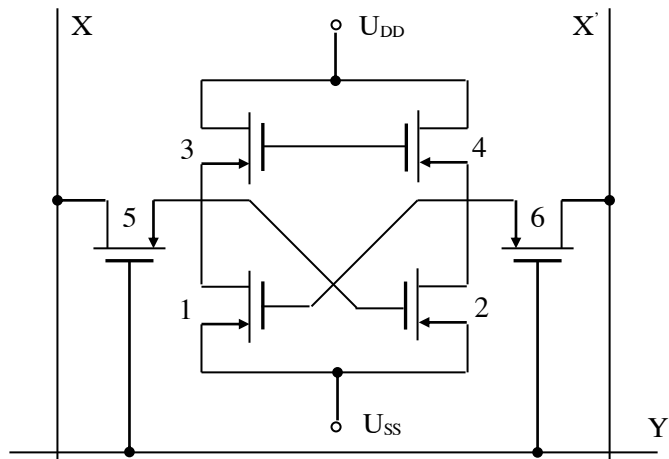
Nếu tất cả các tranzito đều là loại kênh p thì U_{DD} thường âm còn U_{SS} có thể bằng 0. Các đường XX' thường có điện thế âm

- Thao tác đọc.

Muốn đọc ta cho xung vào để làm giảm điện thế của đường Y xuống âm, T_5 và T_6 dẫn. Giả sử T_2 dẫn thì cực máng của nó (nút b nối vào T_6) ở điện thế thấp, vì vậy T_6 sẽ dẫn một dòng điện chảy vào X' tạo ra dữ liệu. Trong khi đó vì T_1 ng- ng nên cực máng của nó ở điện thế âm cao bằng điện thế đường T_5 không dẫn.

- Thao tác viết:

Muốn viết, ta cũng giảm điện thế của đường Y xuống để mở T_5 và T_6 (chọn từ) rồi sau đó nối đường X hoặc X' xuống 0V tùy theo ta muốn T_1 hay T_2 ng- ng dẫn. Nếu T_2 đang dẫn, nút b ở điện thế thấp gần 0V, nên khi nối đường X'



Hình 2: Đơn vị nhớ RAM tĩnh dùng MOSFET

xuống 0V thì sẽ không có gì thay đổi cả, nh- ng nút a đang ở điện thế âm nhiều nên nếu nối X xuống 0V thì sẽ làm hạ điện thế tại đây xuống d- ới trị số ng- ỡng nên T_2 ng- ỡng dẫn làm T_1 trở nên dẫn.

+ Đặc tính.

- Ng- ời ta gọi loại bộ nhớ này là tĩnh bởi vì dữ liệu đ- ọc l- u giữ vĩnh viễn trong mạch chùng nào mà ta còn cung cấp nguồn điện cho nó. Các đ- ờng điều khiển không cần thêm một xung nào.

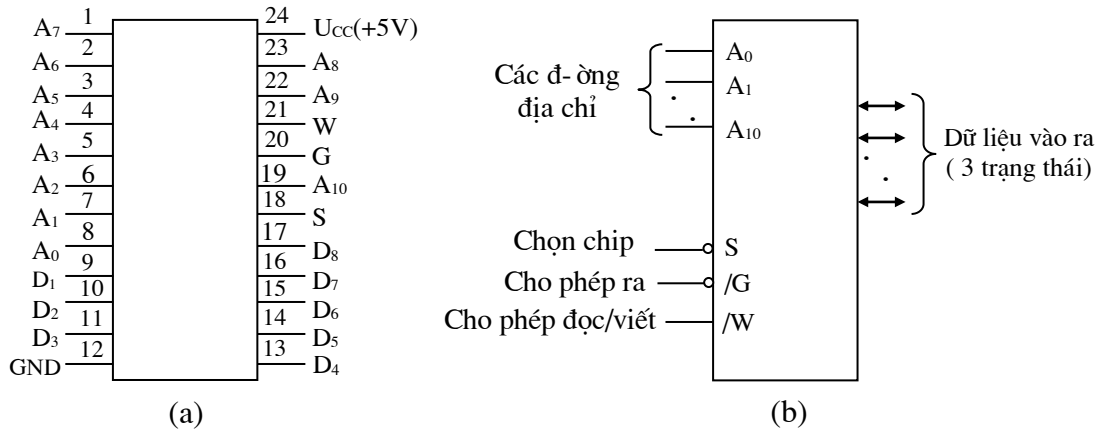
- Loại bộ nhớ này t- ơng đối rẻ hơn loại Tranzito l- ỡng cực vì hai lý do: một là ph- ơng pháp chế tạo đơn giản và hai là kích th- ớc của một đơn vị nhớ nhỏ nên cho phép chế tạo bộ nhớ có dung l- ợng lớn trên một diện tích miếng silic nhỏ.

- Thời gian thâm nhập lớn hơn loại l- ỡng cực vì có điện dung ký sinh ở cực cổng của MOSFET.

- Có thể chế tạo theo ph- ơng pháp kênh P, kênh N hay CMOS

+ Ví dụ

Trên hình 3 giới thiệu sơ đồ chức năng (b), sơ đồ phân bố chân (a) và bảng chân lý (c) của mạch nhớ Ram tĩnh có ký hiệu là TMS 4016. Đây là bộ nhớ có cấu trúc 2048 x 8 bit



$/W$	$/S$	$/G$	D ₁ đến D ₈	Chế độ (mode)
0	0	X	Dữ liệu xác định	Viết
1	0	0	Dữ liệu ra	Đọc
X	1	X	Hi-Z	Cấm vi mạch
1	0	1	Hi-Z	Cấm ra

(c)

Hình 4: Vi mạch RAM tĩnh TMS 4016

Chân 20 (ký hiệu $/G$) dùng để đ- a tín hiệu cho phép đ- a ra (Output Enable) hay không vào vi mạch. Khi $/G$ ở mức cao (H) thì đầu ra ở trạng thái cao (Hi-Z) . Khi $/G$ ở mức thấp (L) thì đầu ra sẽ nối thông với hệ thống.

Chân 18 (ký hiệu $/S$) dùng để đ- a tín hiệu chọn chip (chip select) vào vi mạch. Khi $/S$ ở mức cao (H), thì vi mạch bị đóng và không thể đọc hay viết dữ liệu.

Chân 21 (ký hiệu $/W$) dùng để đ- a tín hiệu đọc — viết vào vi mạch. Khi $/W$ ở trạng thái cao là đọc (read), và khi $/W$ ở trạng thái thấp là viết (write).

A₀ đến A₁₀ là các đ- ờng địa chỉ. Số địa chỉ tối đa có thể sử dụng là $2^{11} = 2048$ địa chỉ.

D₁ đến D₈ là các đ- ờng dữ liệu. Vì vậy, mà ở trên ta nói rằng vi mạch này có cấu trúc 2048 x 8 bit.

Bảng chân lý trên hình 4c cho biết rõ các hoạt động của vi mạch.

2.2.2. Loại động (DRAM).

+ Đơn vị nhớ.

Với trở kháng vào vô cùng lớn của MOFET ng- ời ta có thể chế tạo một loại đơn vị nhớ khác, sử dụng sự có mặt hay không có mặt của điện tích trên cổng của MOSFET để l- u trữ thông tin trong khoảng thời gian nhất định, gọi là RAM động dùng MOSFET. Trên hình 4 là một dạng thông dụng của loại bộ nhớ này.

Mạch sử dụng 3 MOSFET nh- ng không nối theo kiểu FF. T_1 và T_3 hoạt động nh- các khoá điện tử, T_2 có tác dụng nh- một mạch đảo. Dữ liệu đ- ợc l- u trữ d- ới dạng điện tích tại cực cổng của T_2 .

Đơn vị nhớ có 4 đ- ờng:

đ- ờng điều khiển đọc và đ- ờng điều khiển viết thuộc về một từ (word), đ- ờng viết để ghi dữ liệu vào và đ- ờng đọc để lấy dữ liệu ra. Ta giả sử Tranzito là loại kênh P.

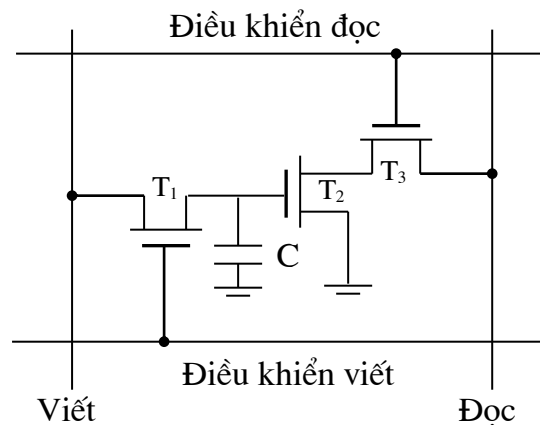
+ Thao tác viết:

Khi muốn viết ta cho xung âm vào đ- ờng điều khiển viết làm cho T_1 dẫn. Nếu đ- ờng viết ở 0V, tụ C không có điện tích, ta ghi bit 0. Nếu đ- ờng bit ở $-U$ thì tụ C có điện tích, ta ghi bit 1.

+ Thao tác đọc.

Khi muốn đọc, ta cho xung âm vào đ- ờng điều khiển đọc và đ- ờng đọc. Nếu tụ C không có điện tích (bit 0) thì T_2 ng- ng dẫn làm T_3 cũng ng- ng dẫn nên trên đ- ờng đọc không có dòng điện ra. Ng- ợc lại, nếu tụ C có điện tích thì T_2 dẫn làm T_3 cũng dẫn cho nên trên đ- ờng đọc có dòng điện chảy, ở mạch ngoài sẽ có dòng điện và tạo ra một xung điện thế t- ơng ứng.

Mạch có thể đ- ợc làm đơn giản hơn bằng cách dùng một đ- ờng chung cho cả điều khiển đọc lẫn điều khiển viết. Lúc đó, ta cần l- u ý rằng xung điều khiển viết th- ờng phải bé hơn xung điều khiển đọc để tránh làm cho (khi đọc) T_1 cũng dẫn điện khiến dữ liệu của tụ C thay đổi.



Bởi vì mạch luôn luôn bị mất dần điện tích trên tụ C nên dữ liệu không lưu trữ được vĩnh viễn. Do đó mạch phải được viết lại liên tục, người ta gọi đó là thao tác làm tươi bộ nhớ. Muốn viết lại trước hết ta phải đọc xem tụ C có điện tích hay không rồi căn cứ vào đó mà viết lại nữa. Chu kỳ viết lại thường vào khoảng 2ms.

+ Đặc tính.

- Khi không đọc viết hay không viết lại, mạch hầu như không tiêu thụ công suất. Vì vậy, nói chung loại RAM này tiêu thụ ít công suất so với các loại đã khảo sát ở trên.

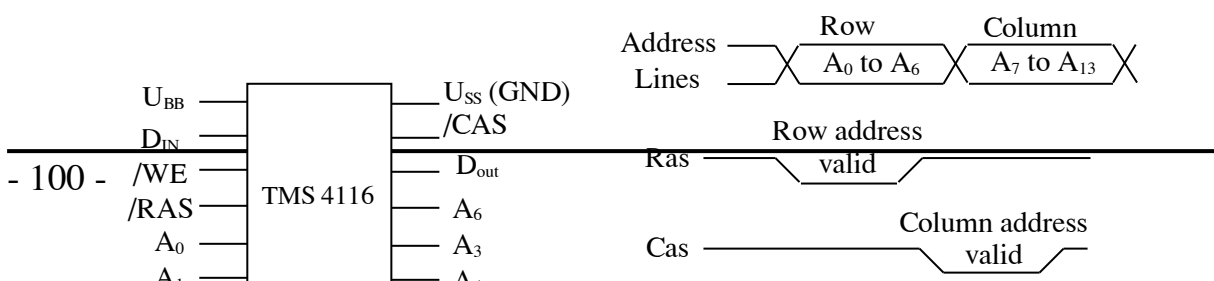
- Vì chỉ sử dụng ít Transistor cho một đơn vị nhớ nên dễ chế tạo mạch với dung lượng lớn trên một diện tích bán dẫn nhỏ.

- Thời gian thâm nhập bé hơn các loại RAM tĩnh vì cấu trúc của mạch đơn giản hơn.

- Bộ nhớ loại này có một nhược điểm là luôn luôn cần phải làm tươi bộ nhớ khiến cho việc sử dụng trở nên rắc rối hơn và tín hiệu thường không phù hợp với TTL.

+ Ví dụ

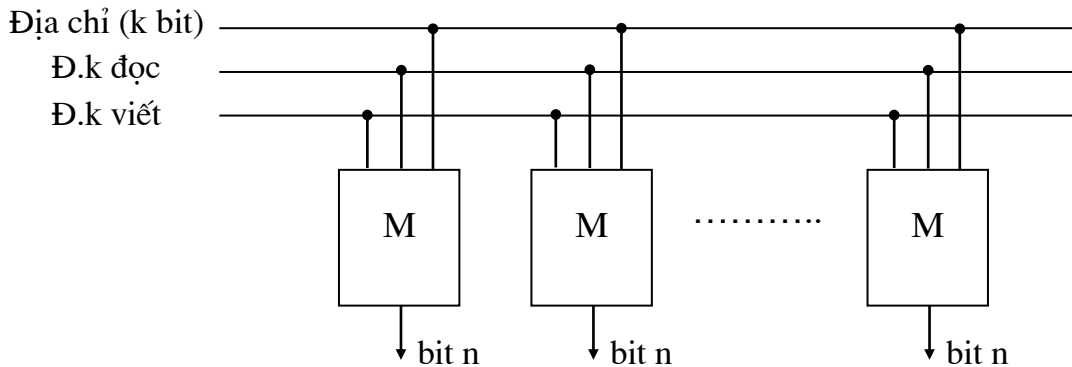
Trên hình 5a là sơ đồ chân của bộ RAM động ký hiệu TM 4116 thuộc loại MOSFET có cấu trúc 16K x 1 bit. TA biết rằng 16K tương ứng với 16.384 vị trí nhớ trong thực tế, nên số đường địa chỉ yêu cầu phải là 14 đường (vì $2^{14} = 16.384$). Để tiết kiệm số đường địa chỉ (và cũng chính là số chân của vi mạch) hầu hết các loại RAM động đều sử dụng phương pháp kiểu chọn kênh nên thay vì cần 14 đường địa chỉ thì thực ra chỉ cần 7 đường. Trong quá trình đọc hay viết, đầu tiên 7 đường địa chỉ chứa các thông tin về hàng rồi sau đó là chứa các thông tin về cột. Để đảm bảo cho sự hoạt động như vậy, người ta sử dụng hai tín hiệu là /RAS và /CAS có biểu đồ thời gian trên hình 5b. Khi /RAS thấp, thông tin trên các đường địa chỉ sẽ được mở thông đường qua mạch chốt địa chỉ hàng (row — address latch).



/Khi CAS thấp, thông tin trên các đ-ờng địa chỉ sẽ đ-ợc mở thông đ-ờng qua mạch chốt địa chỉ cột (column — address latch). Các đ-ờng /RAS và /CAS không bao giờ đ-ợc phép cùng thấp vì vậy sẽ làm rối loạn các đ-ờng địa chỉ. Đ-ờng /WE (write enable) dùng để đ-a tín hiệu cho phép viết vào vi mạch. Khi viết thông tin vào vi mạch, đ-ờng /WE phải thấp, lúc đó thông tin trên đ-ờng D_{in} sẽ đ-ợc viết vào địa chỉ đã đ-ợc chọn. Còn khi muốn đọc ra, đ-ờng /WE phải cao lúc đó địa chỉ đã đ-ợc chọn là thông tin sẽ đ-ợc đ-a ra đ-ờng D_{out} . Sơ đồ khối của vi mạch này đ-ợc vẽ trên hình 5c.

2.3. Bộ nhớ bán dẫn với dung lượng lớn.

Để có được các bộ nhớ bán dẫn với dung lượng lớn (và có thể rất lớn) người ta cần phải tổ chức bằng cách mắc các bộ nhớ có dung lượng nhỏ hơn (ở mức công nghệ cho phép) lại với nhau. Các bộ nhớ LSI thường được chế tạo một mạch chứa M từ 1 bit. Do đó nếu muốn có M từ n bit ta mắc song song n mạch như vậy lại với nhau như trên hình 7.

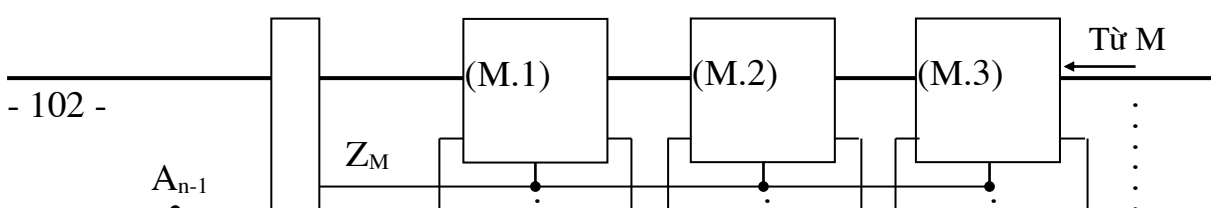


Hình 7: Mắc song song n mạch nhớ M từ 1 bit để tạo bộ nhớ chứa M từ n bit

Trên hình 8 là sơ đồ một bộ nhớ M từ 3 bit. Đơn vị nhớ (1,1) lưu trữ bit đầu tiên của từ thứ nhất, đơn vị (1,2) là bit thứ hai của từ thứ nhất...v.v... Các đơn vị nhớ lưu trữ từ thứ nhất được định địa chỉ bằng cách nâng mức của đường Z_1 . Nếu bộ nhớ lưu trữ M từ thì cần thiết M đường địa chỉ $Z_1, Z_2, Z_3, \dots, Z_m$.

Việc xác định vị trí của sự lưu trữ trong bộ nhớ được thực hiện thông qua một bộ giải mã có λ bit địa chỉ $A_0, A_1, A_2, \dots, A_{\lambda-1}$.

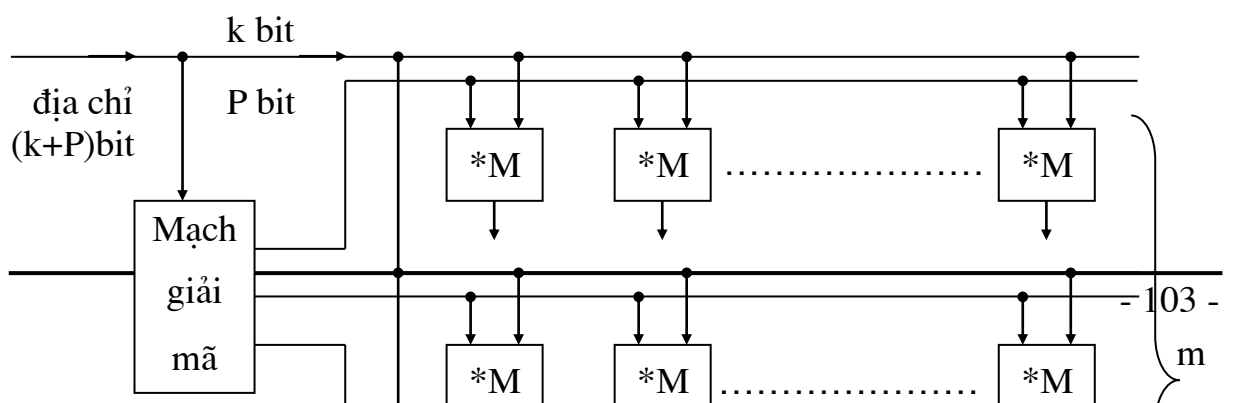
Tất cả các đơn vị nhớ ($C_{1.1}, C_{1.2}, \dots, C_{M.1}$) dùng để lưu trữ các bit đầu tiên của các từ được nối vào một cặp đường dữ liệu chung. Và cũng tương tự như vậy cho các bit thứ hai, thứ ba của từ. Các khối ký hiệu I/O là các khối điều khiển đọc/viết. Các bit $b_{i.1}, b_{i.2},$ và $b_{i.3}$ là các bit sẽ được viết vào bộ nhớ khi đường đọc/viết (R/W) chuyển lên mức logic 1. Các bit $b_{0.1}, b_{0.2}$ và $b_{0.3}$ là các bit sẽ được đọc ra từ bộ nhớ khi đường RW ở mức logic 0.



Trong trường hợp muốn có số từ nhiều hơn M ta sử dụng cách mắc tổng hợp. Lúc này ta phải sử dụng thêm một mạch giải mã để chọn hàng ngang, đầu ra từ của mạch này được nối vào đầu vào điều khiển chọn mạch (CHIP SELECT) thường có sẵn trên một mạch LSI như trên hình 9. Trên hình này đầu vào có dấu $*$ là đầu CHIP SELECT.

Khi được chọn mạch được kích thích thì mạch LSI mở cho tín hiệu xuất hiện ở đầu ra. Trong trường hợp nêu trên, nếu $M = 16$, $n = 8$, $m = 8$ ta sẽ có một bộ nhớ $16 \times 8 = 108$ từ, mỗi từ dài 8 bit. Muốn xác định địa chỉ ta cần một mã dài 7 bit: 3 bit để chọn 8 hàng (m) 4 bit để chọn 16 từ mỗi mạch LSI.

Hiện nay đã xuất hiện một bộ nhớ RAM có dung lượng hàng trăm kilôbit trên một chip, thời gian thâm nhập và năng lượng tiêu thụ ngày càng nhỏ.



+ Ví dụ: Trên hình 10 biểu diễn một bộ nhớ có dung lượng 16Kx8bit dùng 8 vi mạch loại TMS 4116 (16.384 x 1 bit). Trong trường hợp này, ta lưu ý rằng tất cả các đường địa chỉ và đường điều khiển của vi mạch đều phải nối song song với nhau. Lúc đó nếu thao tác là viết thì tất cả các vi mạch đều được đặt ở chế độ công tác viết, còn nếu thao tác là đọc thì tất cả các vi mạch đều được đặt ở chế độ công tác đọc. Các đường dữ liệu (8 bit) tạo thành một hệ thống nhớ có cỡ 8 bit (còn gọi cỡ byte).

2.4. Các bộ nhớ ROM

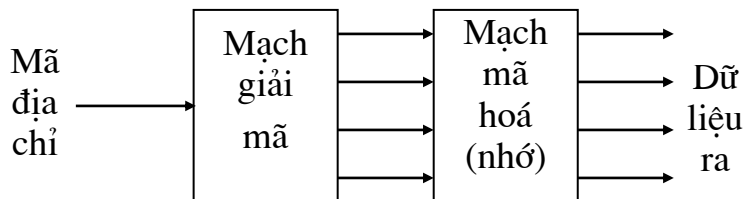
Thuật ngữ ROM là viết tắt của từ tiếng Anh là Read only Memory. Bộ nhớ ROM có đặc tính là chứa sẵn dữ liệu, khi cần ta chỉ đọc mà không viết ngay vào được. Dữ liệu trong bộ nhớ này đã được ghi vào từ trước và thường được lưu trữ một cách vĩnh viễn. Có loại ta không thể xóa nội dung của nó và viết lại, có loại có thể xóa nội dung của nó hay viết lại nhưng cần phải qua một thủ tục phức tạp (đây chính là các bộ nhớ bán dẫn cố định).

Chính vì không cần viết ngay nên loại mạch này đơn giản hơn so với RAM vì không có các bộ phận cần cho thao tác viết vào.

Bộ nhớ ROM ngày càng thông dụng, nhất là loại bộ nhớ bán dẫn. Cả hai công nghệ công nghệ công cực và MOSFET đều được sử dụng chế tạo ROM. Thời gian thâm nhập (*at*) của bộ nhớ công cực vào khoảng 50 — 90 ns, còn đối với MOSFET thì gấp 10 lần (chậm hơn). ROM công cực nhanh hơn và có khả năng kích thích tốt hơn, trong khi đó bộ nhớ MOSFET có cùng dung lượng thì có kích thước nhỏ hơn và tiêu thụ công suất ít hơn.

Thực tế ROM chính là một mạch mã hoá do đó dưới dạng căn bản thì ROM thường bao gồm cả mạch giải mã như trên hình 11.

Dạng đ- ọc giới thiệu trên là dạng phẳng trong đó mỗi địa chỉ vào xác định một đ- ờng của mạch giải mã, nghĩa là xác định một từ còn đầu ra là các bit của từ. Với cấu trúc nh- vậy mạch không khác gì một mạch mã hoá để chuyển từ một mã hệ 2 sang một mã nào đó.

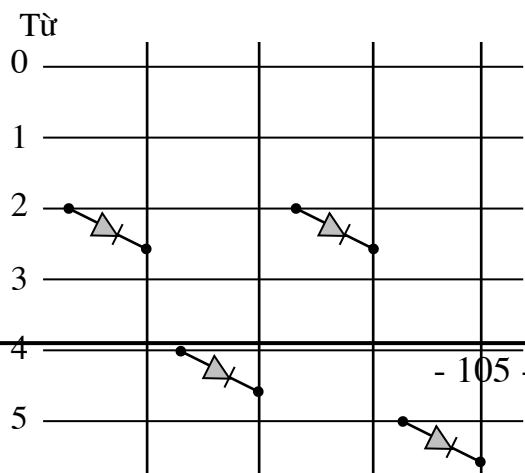
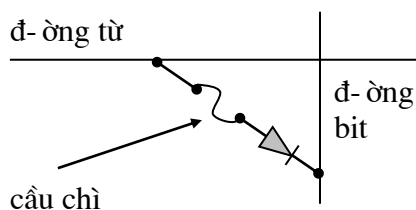


Hình 11: Dạng cơ bản của ROM

2.4.1. Bộ nhớ ROM dùng điốt

Tr- ớc hết ta xét một ví dụ trên hình 12. Đây là một mạch nhớ ROM gồm 8 từ, mỗi từ dài 4 bit. Vị trí của một bit là giao điểm của hai đ- ờng là đ- ờng từ và đ- ờng bit. Tại giao điểm đó nếu có một điốt thì bit là 1, nếu không thì bit là 0. Muốn đọc thì ta cho địa chỉ, chẳng hạn 010 (2) vào mạch giải mã, tại đ- ờng của chữ số 2 sẽ có điện thế +U làm cho các bit A và C bằng 1 (+U) còn bit B và D không có điốt nên không có tín hiệu ra tức bằng 0. Nh- thế đ- ờng số 2 (hay địa chỉ 010) có dữ liệu 1010. Vậy có thể mắc điốt vào các giao điểm nào theo ý muốn và khi cần cũng có thể thay đổi vị trí các điốt để viết dữ liệu vào mạch nhớ.

Mạch nh- vậy rất đơn giản, gọn và khi không đọc thì hầu nh- không tiêu thụ năng l- ợng. Với dạng mạch này chắc chắn chúng ta có thể chế tạo theo ph- ơng pháp tích hợp trên quy mô lớn (LSI), tức là làm toàn bộ mạch nhớ trên một miếng silic nhỏ. Thực tế, ng- ời ta chế tạo các bộ nhớ ROM dùng điốt với dung l- ợng 4096 từ, mỗi từ dài 1 bit trên một miếng silic khoảng vài mm² và có at khoảng vài chục nanosec.



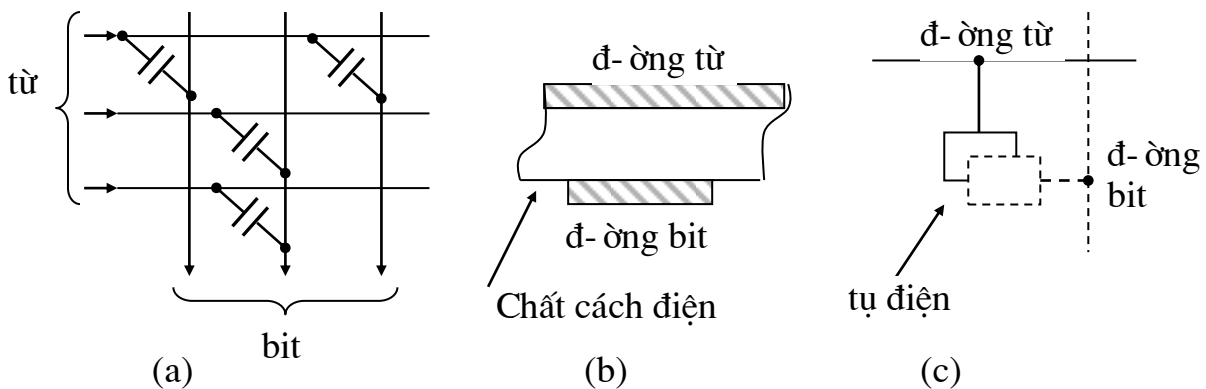
Hình 13: Nối cầu chì với điốt ở PROM

Trong trường hợp bộ nhớ LSI kiểu này người ta cũng còn có thể nối tiếp mỗi điốt một cầu chì nhỏ ở tất cả mọi giao điểm như trên hình 13 để tạo ra một loại ROM lập trình được (Programmable ROM hay PROM).

Khi sử dụng ta viết dữ liệu vào bộ nhớ bằng cách phóng vào bộ nhớ một xung dòng điện có cường độ đủ để cháy cầu chì tại đó, vậy giao điểm này được viết bit 0. Còn giao điểm nào không bị làm đứt cầu chì thì sẽ là bit 1. Với loại này nhà chế tạo làm hàng loạt bộ nhớ LSI giống nhau và khi sử dụng thì người sử dụng sẽ ghi vào theo ý muốn của mình. Dĩ nhiên là sau khi viết xong ta không thể thay đổi được nội dung lần nữa.

2.4.2. Bộ nhớ ROM dùng tụ điện.

Nếu thay đổi mạch nhớ ROM dùng điốt bằng cách thay điốt ở mỗi giao điểm bằng một tụ điện như trên hình 14a, ta lại có một loại ROM khác là ROM dùng tụ điện.



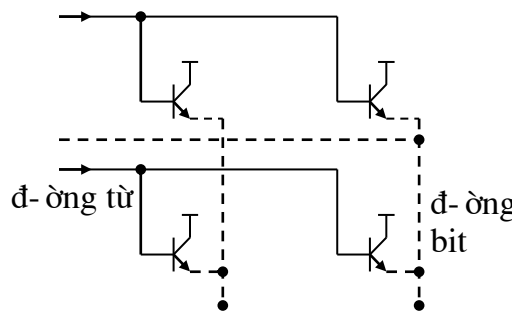
Hình 14: Bộ nhớ ROM dùng tụ điện

Khi cho một xung vào đường từ, tại giao điểm nào có tụ điện thì đường bit tương ứng sẽ có xung ra (bit 1). Trong thực tế, người ta chế tạo loại bộ nhớ này bằng phương pháp mạch in (hình 14b). Trong đó các đường từ và bit nằm cách nhau bởi một lớp cách điện. Tại giao điểm có tụ điện thì đường từ và bit có thêm hai miếng kim loại mỏng, cách nhau bởi chất cách điện (hình 14c). Với cấu trúc

nh- vậy ta có thể chế tạo các bộ nhớ có cấu trúc t- ong đối lớn.

2.5. Bộ nhớ dùng tranzito l- ỡng cực

Trong bộ nhớ ROM dùng Tranzito l- ỡng cực là phần tử nằm ở giao điểm của đ- ờng từ và đ- ờng bit. Một mạng nhớ (ma trận nhớ) dùng Tranzito tiêu biểu đ- ợc biểu diễn nh- trên hình 15. Một tranzito giao giữa đ- ờng từ và đ- ờng bit đ- ợc tạo bởi cực phát của Tranzito.



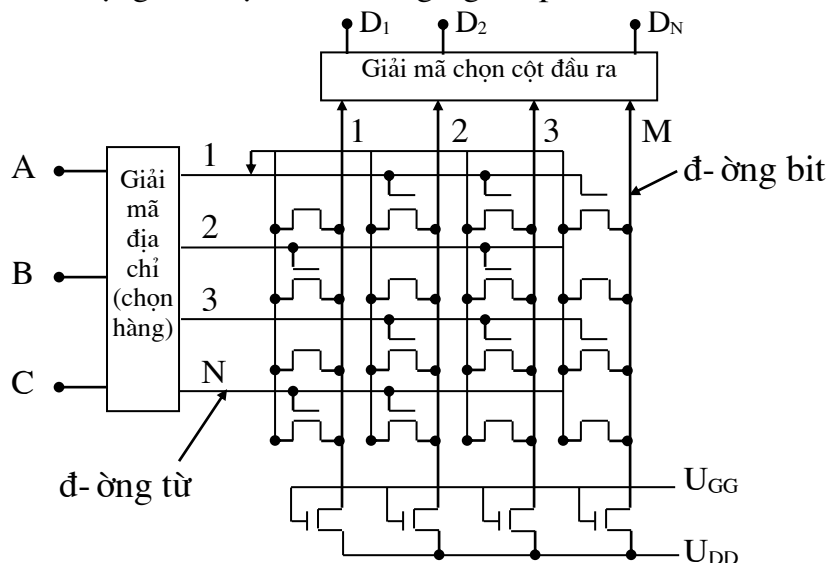
Hình 15: Bộ nhớ ROM dùng Tranzito l- ỡng cực

Việc nối đ- ợc hoàn thành trong quá trình chế tạo. Các bộ khuếch đại nhạy cảm dòng điện ở cột đ- ợc chọn để xác định mức logic là 0 hay là 1.

2.6. Bộ nhớ ROM dùng MOSFET.

MOSFET là công nghệ lý t- ờng để chế tạo ROM nhờ mật độ linh kiện cao cho phép thiết kế các cấu trúc dạng ma trận chứa hàng nghìn phân tử MOSFET.

Trên hình 16 là sơ đồ mạch ROM sử dụng MOSFET kênh P. Sự có mặt của một MOSFET nối các đ- ờng từ, đ- ờng bit đ- ợc xác định bởi lớp ôxit ở vị trí của mỗi Tranzito. Trong quá trình chế tạo nếu lớp ôxit đó dày thì xem nh-



Hình 16: Bộ nhớ ROM dùng MOSFET kênh P

không có Tranzito, còn nếu lớp ôxit mỏng thì ứng với một Tranzito ở mức logic 1 cho vị trí ấy. Việc cấy hay khử các Tranzito trong ma trận đ- ợc tạo thành trong quá trình chế tạo mà ng- ời sử dụng không có thể can thiệp vào để thay đổi đ- ợc.

2.7. Các bộ nhớ PROM, EPROM VÀ EAROM.

Các bộ nhớ PROM, EPROM và EAROM đ- ợc viết bởi ng- ời sử dụng sau khi đã chế tạo.

- Bộ nhớ PROM chỉ có thể viết đ-ợc một lần. Việc viết vào PROM yêu cầu phải có những mạch cung cấp dòng điện đủ lớn để đốt cháy cầu chì ở những bit mong muốn. Những thiết bị viết này có thể do ng-ời sử dụng tự thiết kế hoặc mua sẵn.

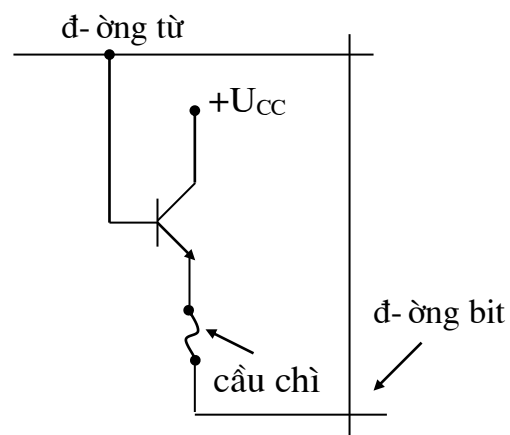
- EPROM và EAROM mặc dù về giá thành thì đắt hơn PROM nh-ng có thể viết nhiều lần nên tỏ ra thuận tiện trong việc thiết kế, thử nghiệm hoặc sản xuất đối với khối l-ợng nhỏ.

EPROM đ-ợc xoá bằng tia cực tím còn EAROM thì đ-ợc xoá bằng dòng điện nên khi xoá có thể để trong mạch điện mà không cần phải gỡ ra nh- đối với EPROM.

2.7.1. Bộ nhớ PROM nối bằng cầu chì.

Một bộ nhớ PROM tiêu biểu đã đ-ợc giới thiệu trên *hình14*, trong đó chúng ta l-u ý đến sự có mặt của cầu chì nối tiếp với điôt. Ng-ời ta cũng sản xuất ra một loại PROM mà cầu chì đ-ợc nối tiếp với một Tranzito (thay vì điôt) nh- trên *hình17*. Cầu chì đ-ợc làm bằng Niken — Crome hay silic đa tinh thể. Khi đ-ờng từ đ-ợc chọn Tranzito mở. Nếu có cầu chì thì đ-ờng bit đ-ợc đ-a lên điện thế 5V (U_{CC}). Nếu cầu chì đã làm bị đứt (trong quá trình viết vào) thì đ-ờng bit bị thả nổi.

Bộ nhớ PROM đ-ợc xác định bằng ch-ơng trình làm đứt cầu chì ở các phần tử giao nhau hay không. Đối với loại PROM có cầu chì chế tạo bằng đa tinh thể silic xung làm đứt cầu chì có biên độ 20-30 mA và độ rộng tăng dần cho đến khi cầu chì đứt.



Hình 17: Phần tử nhớ PROM nối bằng cầu chì

2.7.2. Bộ nhớ EPROM có cửa thả nổi.

Các bộ nhớ EPROM (Erasable PROM) có cửa thả nổi đ-ợc sử dụng rất thuận tiện khi thiết kế các hệ thống, đặc biệt là trong kỹ thuật vi xử lý. Vi mạch nhớ loại này đầu tiên do hãng Intel đ-a ra năm 1971, đó là vi mạch 1702 có dung l-ợng 256 từ 8 bit sử dụng công nghệ PMOS và đóng trong vỏ 24 chân.

EPROM đ-ợc thiết kế với các ô nhớ có thể xoá và viết lại đ-ợc. Hiện nay

EPROM đã đ- ọc chế tạo d- ới nhiều dạng với dung l- ợng khác nhau.

2.7.3. Bộ nhớ EAROM.

Bộ nhớ EAROM (Electrically Alterable ROM) thay đổi nội dung đ- ọc nhờ các tín hiệu điện t- ơng tự nh- ối với bộ nhớ RAM. Chúng có thời gian viết và xoá từng ô riêng biệt, chẳng hạn vi mạch ER400 của hãng General Instruments có dung l- ợng 1024 từ 4 bit, thời gian viết là 1 ms, thời gian xoá là 10 ms và thời gian thâm nhập là 900 ns.

EAROM th- ờng đ- ọc sử dụng trong những ứng dụng đòi hỏi không những bộ nhớ bất biến mà nội dung còn có thể thay đổi khi cần thiết. Nh- ợc điểm quan trọng của bộ nhớ EAROM là cần số l- ợng các mức điện áp khác nhau khi xoá, viết và đọc.

2.8. Ứng dụng của bộ nhớ ROM

Bộ nhớ ROM có nhiều ứng dụng khác nhau, d- ới đây là một số ứng dụng tiêu biểu:

- Chuyển mã: khi cho vào đầu vào một từ mã nào đó thì đầu ra của bộ nhớ ROM sẽ là một từ d- ới dạng mã khác.
- Chứa các lệnh điều khiển cho các phần tử của một thiết bị làm việc. Khi cần thực hiện một công việc gì, máy sẽ tìm ở một địa chỉ t- ơng ứng mà tại đó có viết các chi tiết cần thực hiện.
- Chứa các dữ liệu mà máy th- ờng không dùng đến, chẳng hạn các số π , e...

CH- ƠNG VII. CHUYỂN ĐỔI TÍN HIỆU

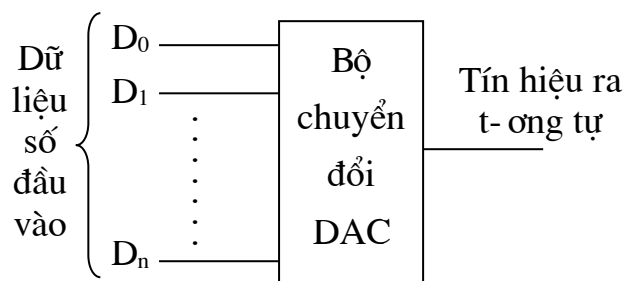
Do sự phát triển nhanh chóng của kỹ thuật số, đặc biệt là sự ứng dụng phổ biến của máy tính điện tử số, nên ng- ời ta th- ờng dùng mạch số để xử lý tín hiệu

t-ơng tự. Muốn dùng hệ thống số để xử lý tín hiệu t-ơng tự thì phải biến đổi tín hiệu t-ơng tự thành tín hiệu số t-ơng ứng rồi đ- a vào để hệ thống số xử lý. Mặt khác th-ờng có yêu cầu cần biến đổi tín hiệu số (kết quả xử lý) thành tín hiệu t-ơng tự t-ơng ứng để đ- a ra sử dụng. Ta gọi sự chuyển đổi từ tín hiệu t-ơng tự sang tín hiệu số là chuyển đổi AD và mạch điện thực hiện công việc đó là ADC (Analog to Digital Converter). Gọi sự chuyển đổi từ tín hiệu số sang tín hiệu t-ơng tự là chuyển đổi DA và mạch điện t-ơng ứng là DAC (Digital to Analog Converter)..

§1. MẠCH CHUYỂN SỐ – T- ƠNG TỰ (DAC)

Mạch chuyển đổi số — t-ơng tự đ- ợc dùng để chuyển đổi các tín hiệu số thành tín hiệu t-ơng tự.

Bản chất của quá trình chuyển đổi DAC là quá trình nhận một nhóm xung d- ới dạng mã nhị phân hay mã nhị — thập phân (BCD) sau đó biến đổi thành một mức điện thế hay c- ờng độ dòng điện t-ơng tự nào đó. Mức độ (hay độ lớn) của tín hiệu áp (dòng) này tỉ lệ với giá trị số đầu vào nhận đ- ợc.



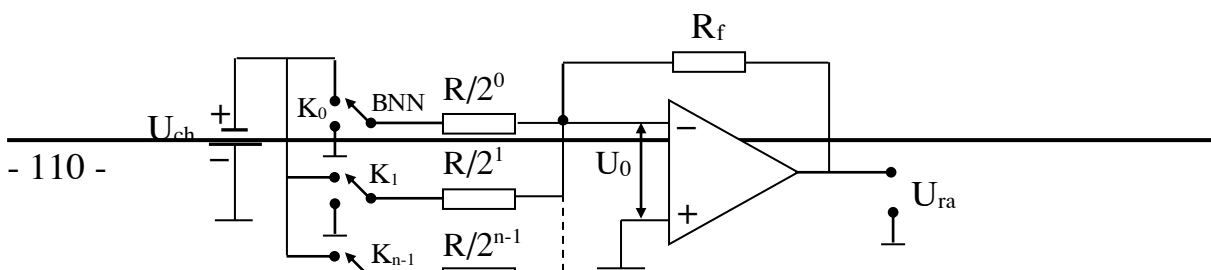
Hình 1: Sơ đồ khối của một bộ DAC

Ng- ời ta th-ờng sử dụng 3 ph- ơng pháp chính trong mạch DAC là:

- Ph- ơng pháp tạo ra điện thế.
- Ph- ơng pháp tạo ra dòng điện.
- Ph- ơng pháp nhân.

1.1. Ph- ơng pháp tạo ra điện thế

1.1.1. Dạng mạch với điện trở có trọng số khác nhau:



Mạch gồm một nguồn điện áp chuẩn U_{ch} , các chuyển mạch K_0, K_1, \dots, K_{n-1} , các điện trở có giá trị lần lượt là $R/2^0, R/2^1, \dots, R/2^{n-1}$ và một KĐTT. Với mạch điện như hình vẽ trên khi một khoá điện nào được nối vào nguồn điện áp chuẩn U_{ch} thì sẽ cấp cho mạch KĐTT một dòng điện có cường độ:

$$I_i = \frac{U_{ch}}{R/2^i}$$

Cường độ dòng điện này độc lập với các khoá còn lại. Trong trường hợp có nhiều khoá K cùng nối vào U_{ch} ta sẽ có nhiều dòng điện cộng chung chạy qua R_f tạo thành điện áp ra. Ta thấy trị số điện áp ra phụ thuộc vào chỗ khoá điện nào được nối với U_{ch} tức là phụ thuộc vào giá trị của bit tương ứng trong tín hiệu số đưa vào mạch chuyển đổi. Một cách tổng quát một DAC n bit (từ B^0 đến B^{n-1}) chế tạo theo phương pháp điện trở có trọng số khác nhau, ta có thể tính điện áp tương tự ra theo công thức sau:

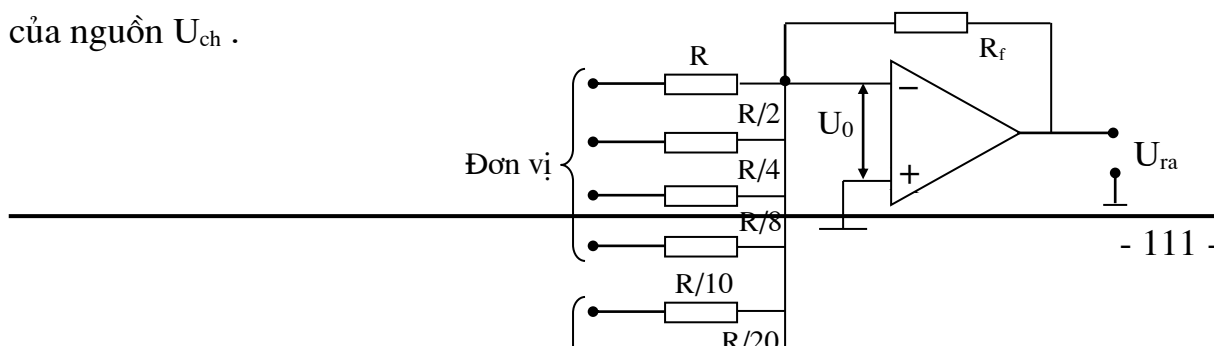
$$U_{ra} = -U_{ch} \frac{R_f}{R} [2^0 \cdot B^0 + 2^1 \cdot B^1 + \dots + 2^{n-1} \cdot B^{n-1}]$$

Với: B^0 đến B^{n-1} có giá trị “1” hoặc “0”.

$B^i = 0 \rightarrow$ khoá K_i nối mass; $B^i = 1$ khoá K_i nối với U_{ch}

Trường hợp tín hiệu số vào dưới dạng mã BCD thì các điện trở hợp thành từng nhóm bốn điện trở một, mỗi nhóm có giá trị gấp 10 lần nhóm kế cận cạnh nó.

Các mạch như trên có ưu điểm là đơn giản nhưng lại có khuyết điểm là độ chính xác và tính ổn định của kết quả phụ thuộc nhiều vào trị số tuyệt đối của các điện trở. Vấn đề chế tạo các điện trở theo đúng tỷ lệ chính xác như vậy thường rất khó khăn và tốn kém, ngoài ra U_{ch} còn phụ thuộc vào cả độ chính xác và tính ổn định của nguồn U_{ch} .

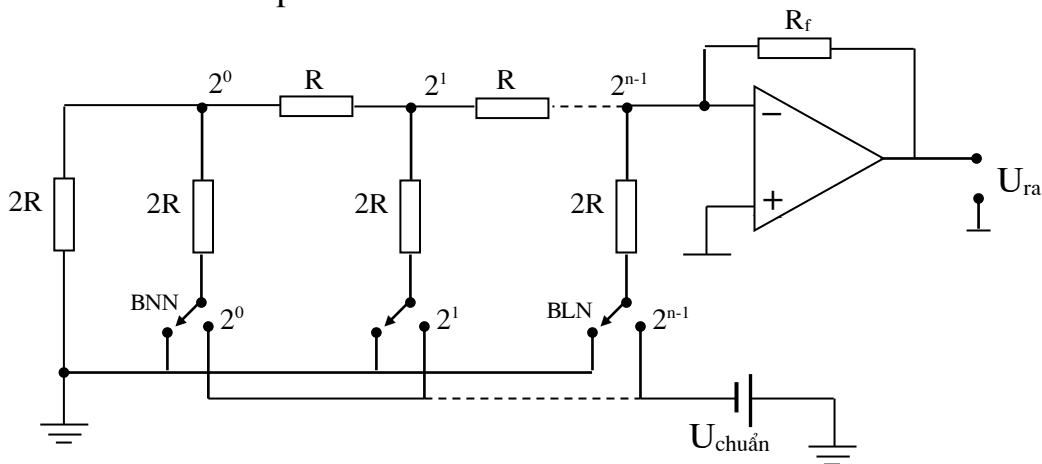


1.1.2. Mạch với điện trở hình thang

Loại mạch DAC với điện trở hình thang R — 2R khắc phục được một số nhược điểm của loại mạch trên. Mạch gồm hai điện trở R và 2R mắc theo hình thang với nhiều khoá điện (mỗi khoá cho một bit) và một nguồn điện áp chuẩn.

Để tính được U_{ch} theo sự đóng mở của các khoá điện ta giả thiết:

- Nguồn điện áp chuẩn U_{ch} có nội trở bằng $0(\Omega)$, nh- vậy điện trở t-ong đ- ong từ mỗi nút nhìn về phía trái đều là $2R$.



Hình 4: Mạch DAC với điện trở hình thang

- Tại nút 2^{n-1} do đặc tính của KĐTT mà điện thế tại đây đ- ợc coi bằng 0.
 - Đại l- ợng cần tìm là dòng I_{th} chảy vào mạch KĐTT khi có một số khoá điện nối vào nguồn U_{ch} . Lúc đó ta có:

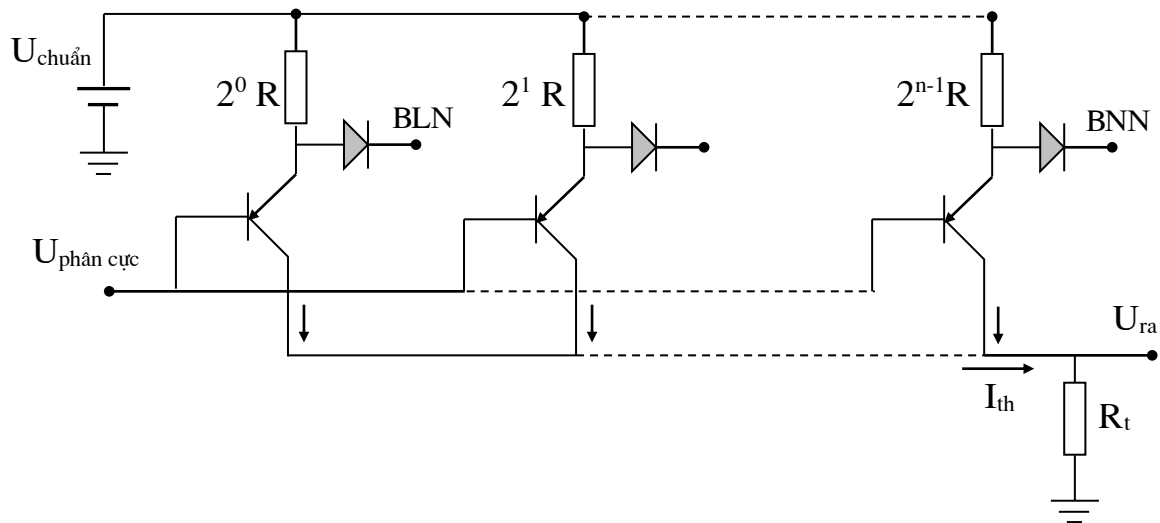
$$U_{ra} = - I_{th} \cdot R_f .$$

Điện áp ra của mạch DAC n bit (từ B^0 đến B^{n-1}) với sơ đồ điện trở hình thang đ- ợc tính theo công thức sau:

$$U_{ra} = -U_{ch} \frac{R_f}{2^n R} [2^{n-1} \cdot B^{n-1} + 2^{n-2} \cdot B^{n-2} + \dots + 2^1 \cdot B^1 + 2^0 \cdot B^0]$$

Trong đó B^0 đến B^{n-1} có giá trị 0 hoặc 1.

1.2. DAC chế tạo theo phương pháp tạo ra dòng điện



Hình 5: Mạch DAC chế tạo theo phương pháp tạo ra dòng điện

Mạch biến đổi DAC bằng phương pháp tạo ra dòng điện có sử dụng nguyên lý nh- hình vẽ, mạch thực chất là các nguồn dòng mắc song song với nhau và có chung tải R_t , chế độ làm việc của từng nguồn dòng đ-ợc quyết định bởi giá trị tín hiệu số ở đầu vào. Cụ thể là 1 bit nào đó giá trị là 1 thì điốt t-ơng ứng sẽ khoá và Tranzito t-ơng ứng sẽ thông, dòng điện t-ơng ứng qua Tranzito ra điện trở tải, giá trị dòng phụ thuộc vào giá trị của điện trở mắc trong mạch cực phát, rõ ràng điện áp ở đầu ra tỉ lệ với tổng các dòng điện chạy qua các Tranzitor khi thông và ng-ợc lại bit nào bằng không thì điốt t-ơng ứng thông và Tranzito t-ơng ứng sẽ khoá.

Điện áp ra đ-ợc tính theo công thức:

$$U_{ra} = I_{th} \cdot R_t = K(2^{n-1} \cdot B^{n-1} + \dots + 2^1 \cdot B^1 + 2^0 \cdot B^0).$$

Với K là hệ số tỷ lệ phụ thuộc vào U_{ch} , điện trở mắc ở cực phát, điện trở tải.

Cách này có -u điểm là có thể dễ dàng kết hợp các tín hiệu đầu ra bằng cách nối thẳng tín hiệu đầu ra vào một điện trở R_t .

1.3. Các thông số kỹ thuật cơ bản của DAC.

Khi sử dụng hay thiết kế một DAC ta phải quan tâm đến các thông số kỹ thuật sau:

Độ phân giải:

Độ phân giải liên quan đến số bit của một DAC. Nếu số bit là n thì số trạng

thái của tín hiệu số nhị phân đ- a vào là 2^n , t- ong ứng tín hiệu ra sẽ có 2^n mức điện thế khác nhau, do đó độ phân giải của mạch là $1/2^n$. Độ phân giải càng bé thì điện thế ở đầu ra có dạng càng liên tục và càng gần với thực tế.

Thí dụ một DAC 10 bit sẽ có $2^{10} = 1024$ mức điện thế khác nhau ở đầu ra và độ phân giải của mạch sẽ là $1/1024$.

Độ tuyến tính:

Trong một DAC lý t- ởng sự tăng tín hiệu đầu vào sẽ tỷ lệ với sự tăng của tín hiệu t- ong tự ở đầu ra. Độ tuyến tính của một DAC phản ảnh tính chính xác của yêu cầu này (nghĩa là DAC gần hay xa lý t- ởng).

Độ chính xác:

Độ chính xác của một DAC cho biết sự khác biệt giữa trị số thực tế của U_{ra} và trị số lý thuyết cho một giá trị bất kỳ của tín hiệu số đầu vào, sự khác biệt càng bé thì sự chính xác càng cao.

Thời gian thiết lập:

Khi tín hiệu số đầu vào của một DAC thay đổi, tín hiệu đầu ra không thể thay đổi ngay lập tức mà phải qua một thời gian nào đó đ- ợc gọi là thời gian thiết lập. Thời gian thiết lập phản ảnh tính tác động nhanh của mạch, nó càng bé thì mạch hoạt động càng nhanh.

Độ nhạy nhiệt:

Với một giá trị số đầu vào cố định, tín hiệu đầu ra của DAC th- ờng thay đổi theo nhiệt độ, tính chất này đ- ợc gọi là độ nhạy nhiệt của một DAC.

§2. MẠCH CHUYỂN ĐỔI T- ONG TỰ – SỐ (ADC)

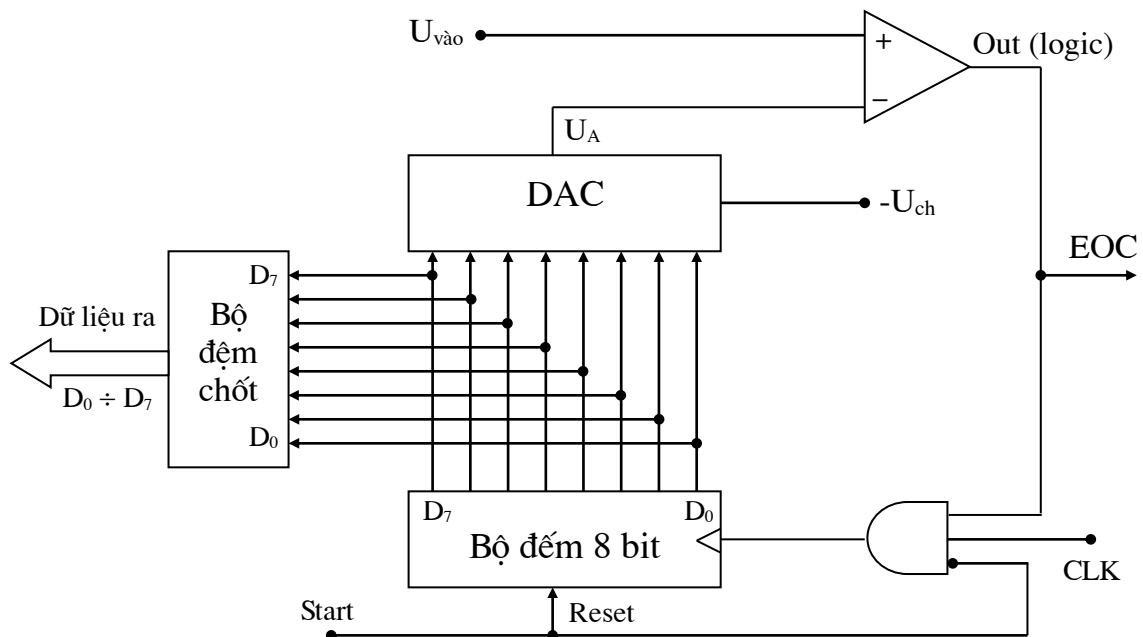
Chức năng của ADC là biến đổi tín hiệu t- ong tự thành tín hiệu số.

Bản chất của quá trình biến đổi ADC là nhận vào một giá trị điện thế (t- ong tự) sau một khoảng thời gian xác định nó sinh ra trên đầu ra một mã nhị phân (số) tỉ lệ với giá trị t- ong tự ở đầu vào. Quá trình chuyển đổi này phức tạp và mất

thời gian hơn so với sự chuyển đổi trong DAC.

2.1. ADC sử dụng bộ đếm.

2.1.1. Chuyển đổi theo kiểu bậc thang tuyến tính.



Nguyên lý làm việc:

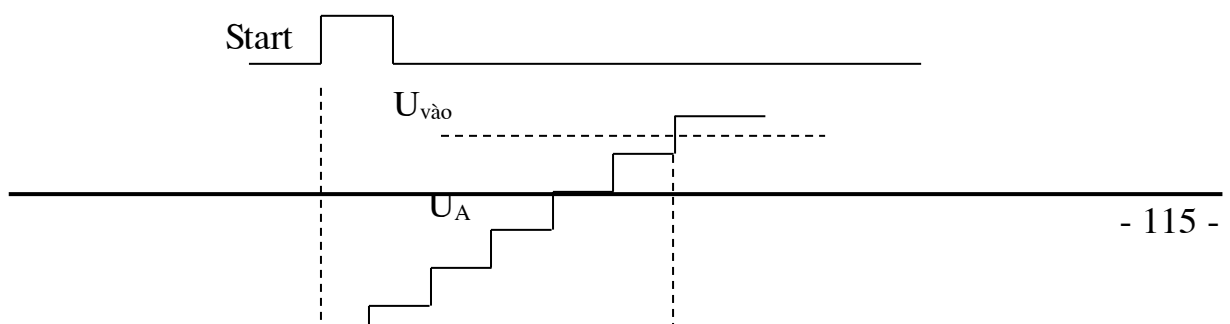
- Một xung điều khiển kích vào Start để bắt đầu chuyển đổi. Xung này đồng thời Reset bộ đếm về 0.

- U_A ban đầu bằng 0 nhỏ hơn $U_{vào}$ vì thế đầu ra bộ so sánh là 1, mức logic này cho phép xung CLK kích hoạt trực tiếp bộ đếm.

- Bộ đếm bắt đầu đếm từ 0, giá trị đếm được đặt trong thanh ghi và chuyển tới bộ DAC, DAC có tác dụng chuyển đổi giá trị đếm (số) thành giá trị tương tự U_A và đưa vào bộ so sánh để so sánh với $U_{vào}$.

+ Nếu U_A còn nhỏ hơn $U_{vào}$ thì đầu ra vẫn là 1 và tín hiệu CLK tiếp tục kích hoạt bộ đếm thêm một đơn vị, quá trình lại lặp lại.

+ Cho đến khi $U_A > U_{vào}$ đầu ra bộ so sánh sẽ là 0, mạch AND sẽ được đóng lại, xung CLK không vào được bộ đếm và bộ đếm dừng lại ở giá trị xác định nào đó, đồng thời tín hiệu ra EOC về mức 0, bộ đếm mở giá trị số được lấy từ đầu ra của bộ đếm này chính là giá trị số tương ứng với điện áp tương tự vào $U_{vào}$.

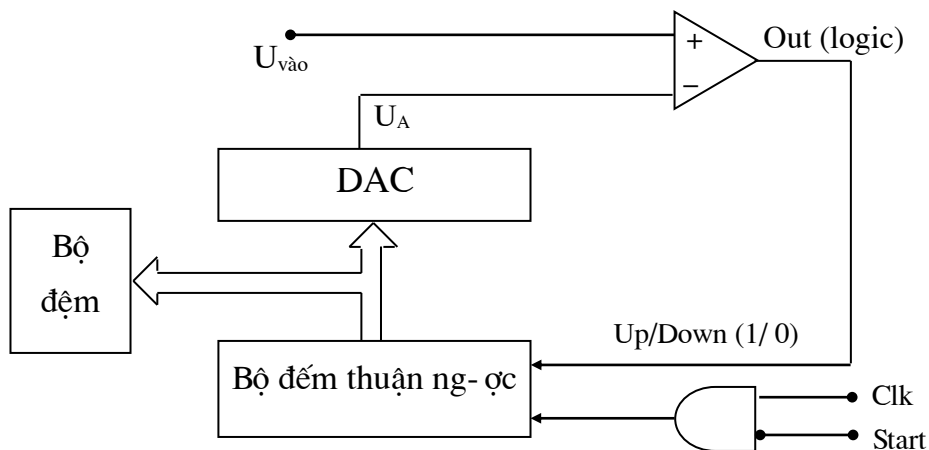


T_C là thời gian chuyển đổi, nh- vậy thời gian chuyển đổi phụ thuộc vào trị số $U_{vào}$.

* Nh- ợc điểm: Với ph- ơng pháp này thời gian chuyển đổi khá dài bởi vì bộ đếm luôn đ- ợc xoá về 0 khi có xung Start, bắt đầu một lần chuyển đổi mới. B- ớc bậc thang đếm luôn bắt đầu từ 0 và tăng lên từng đơn vị đến khi giá trị lớn hơn giá trị của $U_{vào}$, quãng thời gian này là rất lãng phí.

2.1.2. ADC sử dụng bộ đếm thuận ng- ợc

Để khắc phục nh- ợc điểm của bộ chuyển đổi theo kiểu bậc thang tuyến tính, ở bộ chuyển đổi ADC này sử dụng một bộ đếm có thể đếm theo chiều tiến hoặc lùi, điều này sẽ giảm thời gian chuyển đổi. Sơ đồ khối nh- sau:

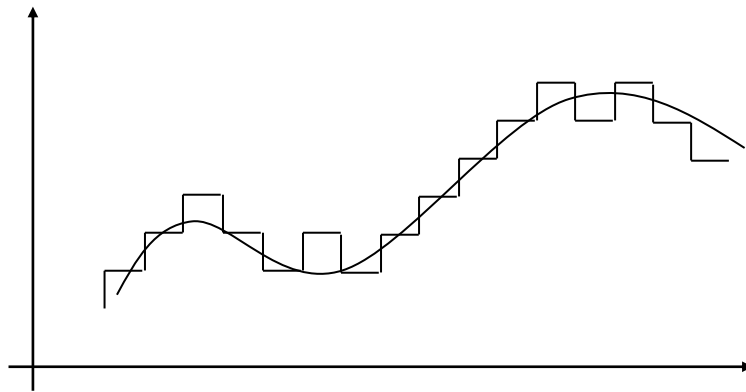


Nguyên lý hoạt động của nó t- ơng tự nh- bộ chuyển đổi bậc thang tuyến tính chỉ khác, xung Start không xoá bộ đếm mà lại điều khiển bộ đếm tại vị trí hiện tại đếm thuận hoặc đếm ng- ợc một đơn vị tùy thuộc vào đầu ra của bộ so sánh: nếu nh- $U_A < U_{vào}$ thì sẽ đếm thuận và ng- ợc lại thì đếm ng- ợc, vì vậy đầu ra của DAC (U_A) luôn luôn tiến tới giá trị của $U_{vào}$. Khi đầu ra của bộ so sánh chuyển trạng thái thì nó báo hiệu ra U_{ra} sẽ cắt giá trị của $U_{vào}$, quá trình chuyển

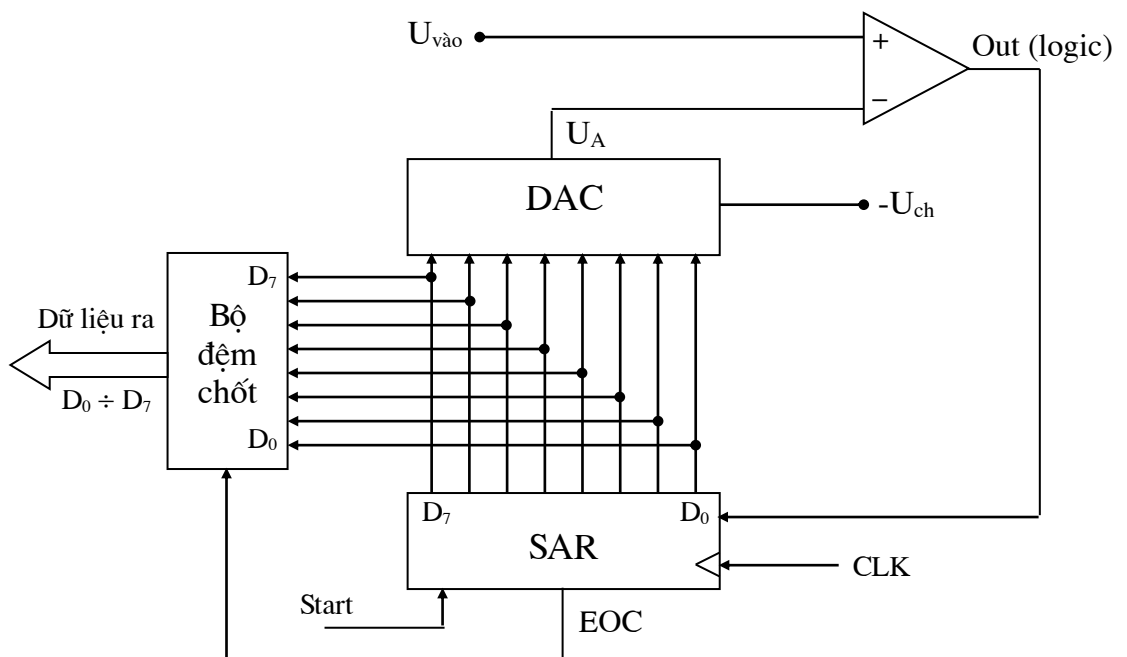
đổi sẽ kết thúc, giá trị số t-ong ứng với U_A khi đó chính là giá trị số cần tìm.

Loại ADC này yêu cầu thời gian đếm đủ nhỏ để $U_{vào}$ biến thiên không lớn. Mỗi lần lấy giá trị đếm cần ghim bộ đếm để tránh sai số không xác định khi bộ đếm chuyển mức bit 0 thành 1 hay bit 1 thành 0. Sai số của ph-ong pháp này là 1 LSB.

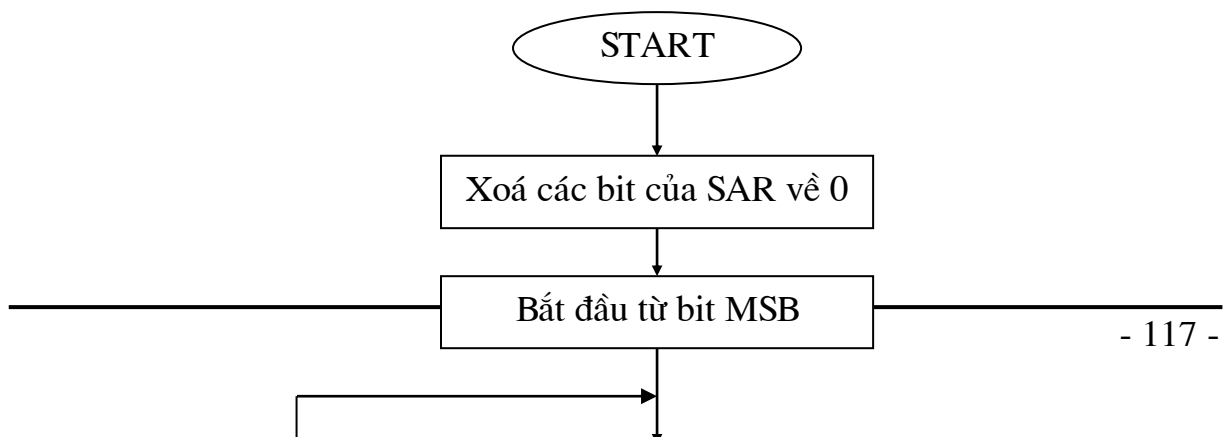
Biểu đồ thời gian nh- sau:



2.2. Chuyển đổi A/D theo ph-ong pháp xấp xỉ liên tục.



L- u đồ thuật toán hoạt động của ADC loại này nh- sau:



Nguyên lý hoạt động:

Phần quan trọng nhất của bộ ADC này là thanh ghi xấp xỉ liên tục SAR.

+ Một xung điều khiển kích vào Start để bắt đầu chuyển đổi, xung này đồng thời Reset bộ đếm trong SAR về 0.

+ Tại chu kỳ đồng hồ đầu tiên sau khi có xung Start, SAR thiết lập bit cao nhất của thanh ghi (MSB) giá trị 1 trên đầu ra để đi tới bộ DAC..

+ Bộ DAC có nhiệm vụ biến đổi giá trị số do SAR đi tới thành giá trị tương tự để so sánh với giá trị vào ($U_{\text{vào}}$).

- Nếu điện thế U_A này lớn hơn giá trị $U_{\text{vào}}$ thì bộ so sánh cho đầu ra mức logic 0 và SAR xoá bit nó vừa thiết lập bởi vì giá trị nó tạo ra quá lớn.

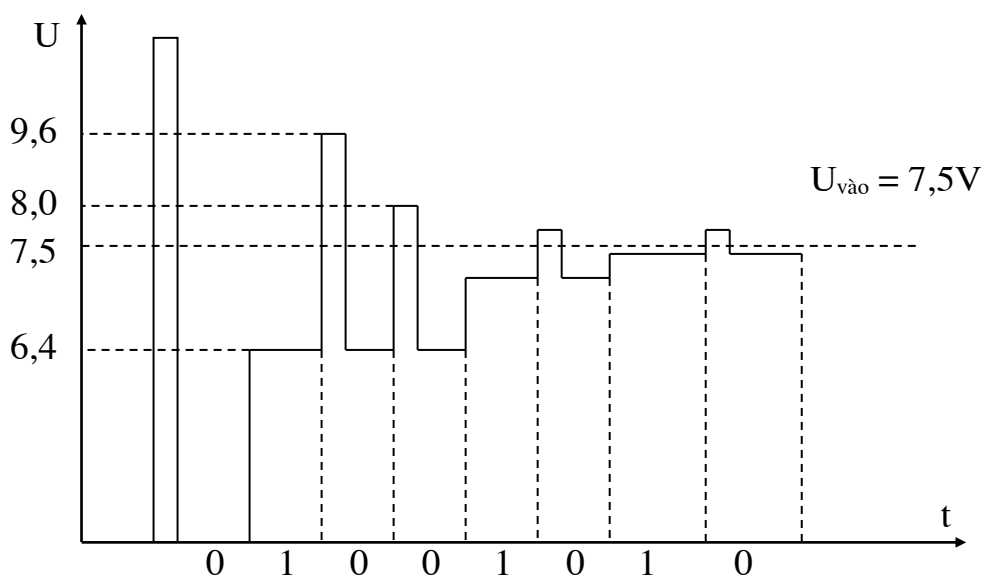
- Nếu U_A nhỏ hơn $U_{\text{vào}}$ thì đầu ra bộ so sánh sẽ là mức 1, SAR sẽ giữ nguyên bit vừa thiết lập.

+ Chu kỳ đồng hồ tiếp theo SAR lại tiếp tục thiết lập bit thấp hơn tiếp theo và lặp lại quá trình trên cho tới khi đạt tới bit thấp nhất (LSB).

Việc SAR giữ nguyên bit vừa thiết lập hay xoá về 0 là phụ thuộc vào tín

hiệu ra của bộ so sánh, quá trình này bắt đầu từ MSB tới LSB. Như vậy quá trình chuyển đổi cần số chu kỳ đồng hồ bằng số bit của SAR và không phụ thuộc vào trị số của $U_{\text{vào}}$. Khi quá trình chuyển đổi kết thúc, SAR gửi ra tín hiệu EOC, khi đó giá trị nhị phân trong thanh ghi SAR chính là giá trị cần tính. Nếu tín hiệu EOC được nối với Start thì quá trình chuyển đổi lại được bắt đầu và quá trình chuyển đổi sẽ liên tiếp xảy ra.

Ví dụ: Bộ chuyển đổi ADC 8 bit theo phương pháp xấp xỉ liên tục với $U_{\text{vào}}$ có giá trị 7,5 v. Kết quả chuyển đổi cho đầu ra là 7,4 v với thanh ghi SAR cuối cùng có giá trị là 01001010B. Sơ đồ làm việc như sau:



* Chu kỳ Clock đầu tiên:

Thiết lập bit B7 của SAR = 1 (các bit khác đã xoá về 0).

$$U_A = U_{\text{ADCout}} = 128/256 * U_{\text{ch.}}$$

Nếu $U_A < U_{\text{vào}}$ thì giữ bit 7 bằng 1

Nếu $U_A > U_{\text{vào}}$ thì xoá bit 7 về 0.

* Chu kỳ Clock thứ 2

Thiết lập bit B6 của SAR = 1.

$$U_A = U_{\text{ADCout}} = (128 + 64)/256 * U_{\text{ch.}}$$

Nếu $U_A < U_{\text{vào}}$ thì giữ bit 6 bằng 1

Nếu $U_A > U_{\text{vào}}$ thì xoá bit 6 về 0.

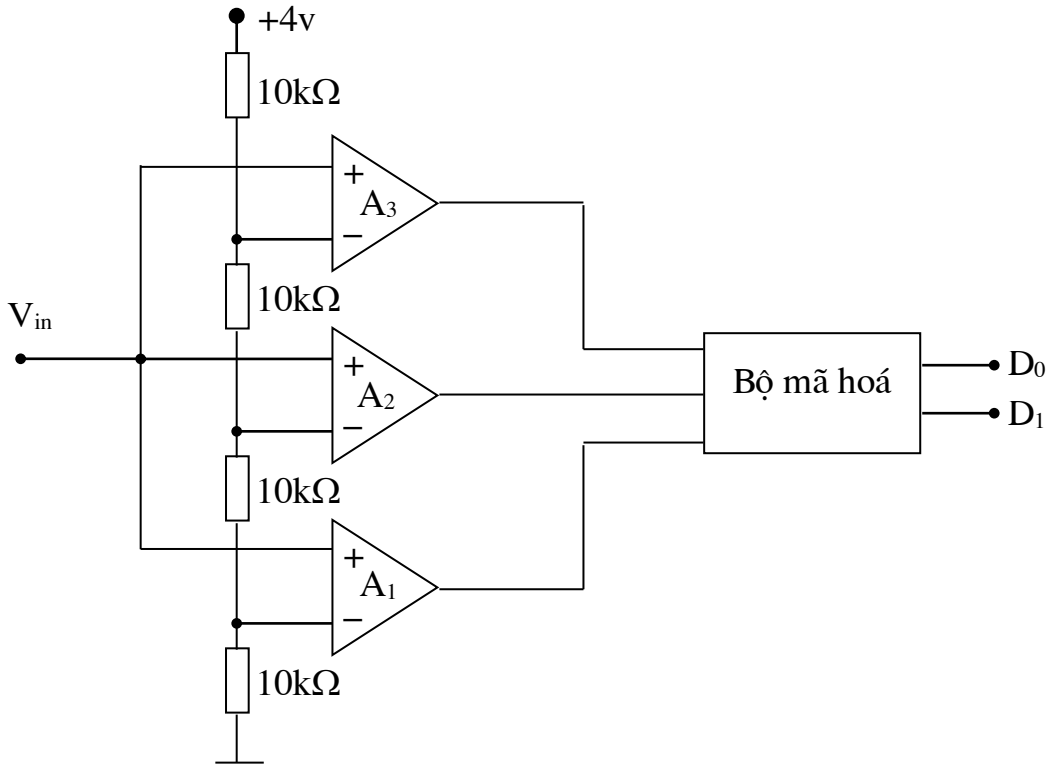
.....

Sai số của U_A lúc này so với $U_{\text{vào}}$ là $\pm 1/2$ LSB.

* Đây là một trong những loại ADC đ-ợc sử dụng nhiều trong thực tế, tốc độ chuyển đổi khá nhanh.

2.3. Chuyển đổi A/D theo ph-ơng pháp so sánh song song.

Ví dụ với bộ ADC 2 bít:



Nguyên tắc:

Gồm có một dãy các bộ so sánh đ-ợc đấu ghép song song.

Sử dụng một mạch điện để chia điện thế U_{ch} và đ- a tới đầu vào đảo của các bộ so sánh. Điện thế ở phần đầu của bộ chia điện thế chính là mức cao nhất mà ADC có thể chuyển đổi đ-ợc.

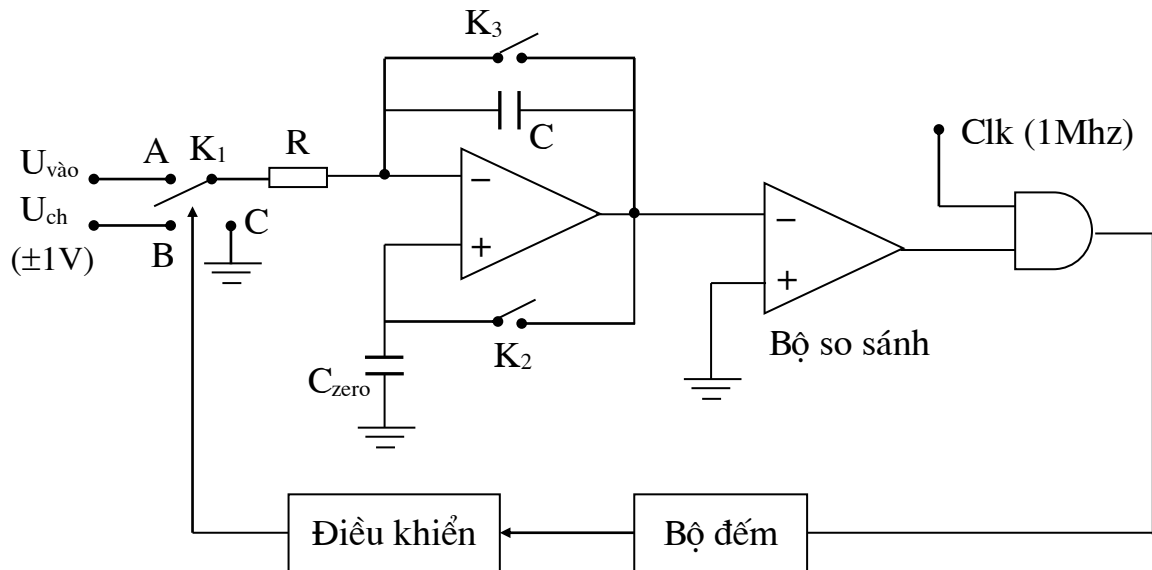
Điện thế cần chuyển đổi sẽ đ-ợc đ- a tới đầu không đảo của tất cả các bộ so sánh. Các bộ so sánh làm việc, đầu ra của các bộ so sánh đ-ợc đ- a tới bộ mã hoá, tại các đầu ra của bộ mã hoá này ta sẽ nhận đ-ợc giá trị số t-ơng ứng với giá trị điện áp vào cần chuyển đổi.

* Ưu điểm của bộ ADC kiểu này là tốc độ chuyển đổi rất nhanh không phụ thuộc vào xung Clock.

* Nhược điểm: Cần có số l-ợng lớn bộ so sánh và điện trở, nếu cần xây dựng bộ ADC n bit kiểu này thì cần tới $2^n - 1$ bộ so sánh, 2^n điện trở và một mạch logic để mã hoá tín hiệu, khi số bít lớn mạch mã hoá rất phức tạp.

2.4. ADC tích phân hai s- ờn dốc.

Đây là ph- ơng pháp chuyển đổi A/D theo kiểu gián tiếp. Loại ADC này sử dụng bộ tích phân, sơ đồ sau:



Hoạt động của mạch đ- ợc chia thành các giai đoạn sau:

+ Giai đoạn 1: (tích phân).

Mạch điều khiển xoá tất cả các giá trị đếm, khoá K₁ đóng vào vị trí A điện thế vào U_{vào} đ- ợc đ- a tới đầu vào bộ tích phân, khoá K₃ mở ra.

Khi đó bộ tích phân làm việc, tụ điện tích điện, điện thế tại Z thay đổi theo công thức.

$$U_Z(t) = - \frac{1}{RC} \int_0^t U_{vào}.dt$$

Giả sử điện thế vào U_{vào} là đ- ờng thì U_Z sẽ là s- ờn dốc âm (hình vẽ). Ngay sau khi U_Z có điện thế nhỏ hơn 0(v) (vài μV) thì đầu ra của bộ so sánh sẽ có mức logic 1, khi đó cổng AND làm việc cho phép xung Clock kích hoạt bộ đếm.

Sau một khoảng thời gian xác định, bộ đếm cũng đếm đ- ợc số xung xác định, mạch điều khiển đ- a khoá K₁ vào vị trí B, kết thúc giai đoạn 1.

Giai đoạn 2:

Khi đầu vào mạch tích phân đ- ợc nối với điện thế U_{ch} (-1 V), bộ đếm cũng đ- ợc xoá về 0, tụ điện C bắt đầu phóng điện. Điện thế Z thay đổi theo công thức.

$$U_Z(t+T) = - \frac{1}{RC} \int_t^{t+T} (-U_{ch}).dt + U_Z(t)$$

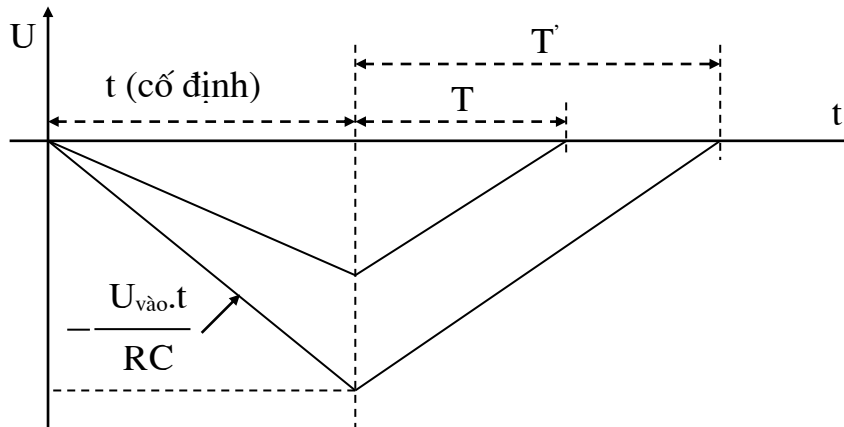
Do U_Z khác 0 (âm) nên đầu ra bộ so sánh vẫn cho mức 1, cổng AND cho

phép xung Clock kích hoạt bộ đếm. Bộ đếm sẽ dừng đếm khi $U_Z = 0$, kết quả chuyển đổi chính là giá trị của bộ đếm đ-ợc tính ở thời điểm này ($U_Z = 0$).

Giai đoạn Zeroing:

Các khoá K_2 , K_3 đóng, điện áp trên tụ, đầu ra của KĐTT có trị số bằng 0.

Biểu đồ thời gian nh- sau:



Nhận xét:

Với các giá trị $U_{\text{vào}}$ khác nhau, giá trị nào lớn hơn thì sau khoảng thời gian cố định trong giai đoạn 1 bộ đếm sẽ đếm đ-ợc nhiều hơn tức là tụ điện sẽ tích đ-ợc nhiều điện tích hơn do vậy quá trình giải phóng điện tích của tụ điện sẽ lâu hơn ($T' > T$).

Tốc độ giải phóng điện tích của tụ điện là nh- nhau vì thế độ dốc của đ-ờng phóng là nh- nhau (các đ-ờng phóng song song với nhau).

* Nh-ợc điểm: Đây là loại ADC có tốc độ chuyển đổi rất chậm (từ 10ms đến 100ms)

* Ưu điểm: giá thành sản xuất thấp, tránh đ-ợc sai số nh- các loại ADC khác vì nó không sử dụng DAC. Nguyên lý hoạt động đơn giản là tích điện và giải phóng điện tích của tụ điện một cách tuyến tính. Các thiết bị này ít bị ảnh h-ởng do nhiệt độ và môi tr-ờng.

* Với ứng dụng không cần tốc độ chuyển đổi cao thì việc lựa chọn ADC này khá tốt.

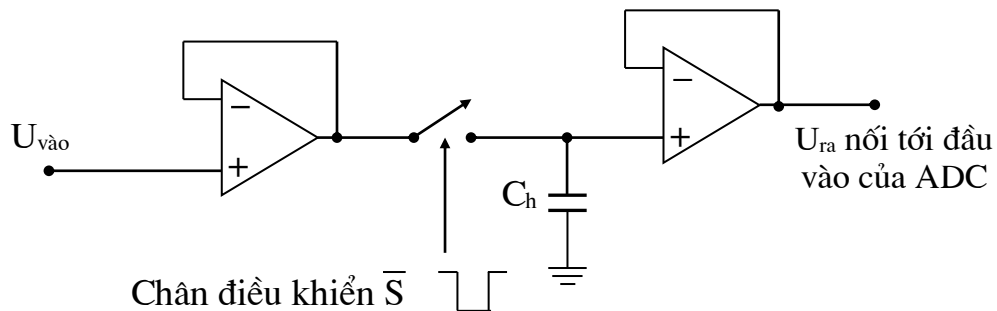
2.5. Mạch trích và giữ mẫu.

Nh- ta thấy, đầu vào ADC đ-ợc nối trực tiếp với điện thế t-ong tụ cần chuyển đổi, giả sử tín hiệu t-ong tụ này biến đổi rất nhanh trong một thời gian

ngăn dẫn tới kết quả chuyển đổi là không chính xác do quá trình chuyển đổi cũng mất một khoảng thời gian xác định tức là tín hiệu điện thế này bị thay đổi nhiều ngay trong quá trình chuyển đổi của ADC.

Để xử lý trường hợp này người ta sử dụng một mạch điện gọi là mạch trích và giữ mẫu có tác dụng giữ ổn định giá trị điện áp vào trong suốt quá trình chuyển đổi.

Sơ đồ tổng quát của mạch trích và giữ mẫu như sau:



+ Chế độ trích mẫu: Khi $S = 0$, công tắc đóng điện thế ở $U_{vào}$ qua bộ khuếch đại 1 nạp điện cho tụ C_h , quá trình nạp điện cho tụ xảy ra trong một thời gian đủ dài sao cho tụ C_h tích đủ điện tích $q = C * U_{vào}$. Khoảng thời gian dt này được gọi là khoảng thời gian lấy mẫu.

+ Chế độ lấy mẫu: Khi $S = 1$, công tắc mở, tụ điện không nạp nữa nhưng nó cũng chứa đủ điện tích đảm bảo điện thế trên đầu ra luôn bằng điện thế trên tụ C_h tức là bằng $U_{vào}$. Vì trở kháng vào của KĐTT là vô cùng lớn nên điện tích trên tụ không bị xả ra và giữ giá trị ổn định cho U_{ra} trong suốt chế độ giữ mẫu.

* Khoảng thời gian lấy mẫu dt hoàn toàn phụ thuộc vào độ lớn của tụ C_h và đặc tính của mạch điện này.

2.6. Các chỉ tiêu kỹ thuật chủ yếu của ADC.

1. Độ phân giải.

Độ phân giải của ADC biểu thị bằng số bit của tín hiệu số đầu ra. Số bit càng nhiều thì sai số lượng tử càng nhỏ, độ chính xác càng cao.

2. Dải động, điện trở đầu vào

3. Mức logic của tín hiệu số đầu ra và khả năng chịu tải (nối vào đầu ra).

4. Độ chính xác tương đối.

Nếu lý t-ởng hoá thì tất cả các điểm chuyển đổi phải nằm trên một đ-ờng thẳng, độ chính xác t-ơng đối là sai số của các điểm chuyển đổi thực tế so với đặc tuyến chuyển đổi lý t-ởng. Ngoài ra nói chung còn yêu cầu ADC không bị mất bit trong toàn bộ phạm vi công tác.

5. Tốc độ chuyển đổi.

Tốc độ chuyển đổi xác định bởi thời gian cần thiết để hoàn thành một lần chuyển đổi A/D. Thời gian này tính từ khi xuất hiện tín hiệu điều khiển chuyển đổi đến khi tín hiệu số đầu ra là ổn định.

6. Hệ số nhiệt độ.

Hệ số nhiệt độ là biến thiên t-ơng đối tín hiệu số đầu ra khi nhiệt độ biến đổi 1°C trong phạm vi nhiệt độ công tác cho phép với điều kiện mức t-ơng tự đầu vào không đổi (cũng có thể dùng biến thiên tuyệt đối).

7. Tỷ số phụ thuộc nguồn.

Giả sử điện áp t-ơng tự đầu vào không đổi, nếu nguồn cung cấp cho ADC biến thiên mà ảnh h-ởng đến tín hiệu số đầu ra càng lớn thì tỉ số phụ thuộc nguồn càng lớn.

8. Công suất tiêu hao.